

DIALOG(R)File 351:Derwent WPI
(c) 2006 The Thomson Corporation. All rts. reserv.

0002822834

WPI ACC NO: 1983-C5117K/

Re-structural integrated circuit with high gate density - has multiprocessor operated as lock-step or pipelined unit, and multilevel interrupt management system

Patent Assignee: TEXAS INSTR INC (TEXI)

Inventor: BUDZINSKI R L

Patent Family (4 patents, 5 countries)

Patent	Application	Number	Kind	Date	Number	Kind	Date	Update
EP 71727	A 19830216 EP 1982105491	A	19820623	198308	B			
JP 58058672	A 19830407			198320	E			
EP 71727	B 19861001 EP 1982105491	A	19820623	198640	E			
DE 3273549	G 19861106			198646	E			

Priority Applications (no., kind, date): US 1981286426 A 19810724; US 1981286425 A 19810724; US 1981286424 A 19810724

Patent Details

Number Kind Lan Pg Dwg Filing Notes

EP 71727 A EN 28

Regional Designated States,Original: DE FR GB NL

EP 71727 B EN

Regional Designated States,Original: DE FR GB NL

Alerting Abstract EP A

The circuit has a monolithic substrate, having a number of 16-bit processors all accessing a common memory, busses including a status bus with synchronisation and arithmetic linkage lines. Each processor comprises a respective status bus multiplexer connected to the respective processor status bus. A bus control unit selectively connects the processor to the data bus or directly to a corresponding RAM memory module.

Each processor also contains interrupt manager which tests each successive interrupt signals to determine whether the respective processor which includes the interrupt manager is designated by the successive interrupt signal as an interrupter. The interrupt manager stores the priority of the one of the interrupt signals which initiated respective sequence of commands is currently being executed by the processor. The processors may be reconfigured programmably to operate independently in lock step or as pipelined processors.

Title Terms /Index Terms/Additional Words: STRUCTURE; INTEGRATE; CIRCUIT; HIGH; GATE; DENSITY; MULTIPROCESSOR; OPERATE; LOCK; STEP; PIPE; UNIT; MULTILEVEL; INTERRUPT; MANAGEMENT; SYSTEM

Class Codes

(Additional/Secondary): G06F-013/00, G06F-015/06, H01L-027/04

File Segment: EPI;

DWPI Class: T01

Manual Codes (EPI/S-X): T01-F01; T01-F02; T01-J02

Original Publication Data by Authority

Germany

Publication No. DE 3273549 G (Update 198646 E)

Publication Date: 19861106

Language: DE

Priority: US 1981286424 A 19810724

US 1981286425 A 19810724

US 1981286426 A 19810724

EPO

Publication No. EP 71727 A (Update 198308 B)

Publication Date: 19830216

****Integrierte Schaltung mit aenderbarer Struktur**

Restructurable integrated circuit

Circuit integre restructurable**

Assignee: TEXAS INSTRUMENTS INCORPORATED, 13500 North Central Expressway,
Dallas Texas 75265, US (TEXI)

Inventor: Budzinski, Robert L., 1106 Edgewood Drive, Richardson Texas
75081, US

Agent: Leiser, Gottfried, Dipl.-Ing., et al, Patentanwaelte Prinz, Bunke
Partner Ernsberger Strasse 19, D-8000 Muenchen 60, DE

Language: EN (28 pages)

Application: EP 1982105491 A 19820623 (Local application)

Priority: US 1981286424 A 19810724

US 1981286425 A 19810724

US 1981286426 A 19810724

Designated States: (Regional Original) DE FR GB NL

Original IPC: G06F-13/00 G06F-15/06 H01L-27/04

Current IPC: G06F-13/00 G06F-15/06 H01L-27/04

Original Abstract: Restructurable integrated circuit. A restructurable integrated circuit, including four 16-bit processors PR0, PR1, PR2, PR3, data and control memories 66 and 78, and external interfaces 72, 73, 74, 75, 76 all mounted on a chip. The processors include reconfigurable connections through a status bus 52, microprogramming capability with dynamic logic array interpretation, and a multi-level flexible interrupt management system, so that the processors PR0-PR3 may be reconfigured programmably to operate independently, in lockstep, or as pipelined processors. All processors PR0-PR3 are connected to data, control, and status busses 56, 14, and 52, in addition, external control, data, and status interfaces 72-76 are also provided, connected through the respective corresponding busses 56, 14, and 52 to each of the processors PR0-PR3. These external interfaces are connected to all of the interconnections which permit reconfigurability among the processors on a chip, and these external interfaces permit coordination of the processors on more than one RIC chip.

Publication No. EP 71727 B (Update 198640 E)

Publication Date: 19861001

****Integrierte Schaltung mit aenderbarer Struktur**

Restructurable integrated circuit

Circuit integre restructurable**

Assignee: TEXAS INSTRUMENTS INCORPORATED, 13500 North Central Expressway,
Dallas Texas 75265, US

Inventor: Budzinski, Robert L., 1106 Edgewood Drive, Richardson Texas
75081, US

Thatte, Satish M., 1304 Elk Grove, Richardson Texas 75081, US
Agent: Leiser, Gottfried, Dipl.-Ing., et al, Patentanwaelte Prinz, Bunke
Partner Ernsberger Strasse 19, D-8000 Muenchen 60, DE

Language: EN

Application: EP 1982105491 A 19820623 (Local application)

Priority: US 1981286424 A 19810724

US 1981286425 A 19810724

US 1981286426 A 19810724

Designated States: (Regional Original) DE FR GB NL

Claim: The circuit has a monolithic substrate, having a number of 16-bit processors all accessing a common memory, busses including a status bus with synchronisation and arithmetic linkage lines. Each processor comprises a respective status bus multiplexer connected to the respective processor status bus. A bus control unit selectively connects the processor to the data bus or directly to a corresponding RAM memory module.

Each processor also contains interrupt manager which tests each successive interrupt signals to determine whether the respective processor which includes the interrupt manager is designated by the successive interrupt signal as an interrupter. The interrupt manager stores the priority of the one of the interrupt signals which initiated respective sequence of commands is currently being executed by the processor. The processors may be reconfigured programmably to operate independently in lock step or as pipelined processors. (28pp)

Japan

Publication No. JP 58058672 A (Update 198320 E)

Publication Date: 19830407

Language: JA

Priority: US 1981286426 A 19810724

⑯ 日本国特許庁 (JP)
 ⑰ 公開特許公報 (A)

⑪ 特許出願公開
 昭58-58672

⑯ Int. Cl.³
 G 06 F 15/16
 13/00
 15/06
 H 01 L 27/04

識別記号
 庁内整理番号
 6619-5B
 7361-5B
 7343-5B
 8122-5F

⑮ 公開 昭和58年(1983)4月7日
 発明の数 3
 審査請求 未請求

(全 58 頁)

⑯ 再構成可能集積回路

⑰ 特 願 昭57-128805
 ⑰ 出 願 昭57(1982)7月23日
 優先権主張 ⑰ 1981年7月24日 ⑳ 米国(US)
 ⑱ 286425
 ⑰ 1981年7月24日 ⑳ 米国(US)
 ⑱ 286424
 ⑰ 1981年7月24日 ⑳ 米国(US)
 ⑱ 286426
 ⑰ 発明者 ロバート・エル・バドジンスキ
 アメリカ合衆国テキサス州7508

1リチャードソン・エッジウッド・ドライブ1106
 ⑰ 発明者 サティッシュ・エム・ザット
 アメリカ合衆国テキサス州7508
 1リチャードソン・エルク・グラーヴ1304
 ⑰ 出願人 テキサス・インストルメンツ・インコーポレーテッド
 アメリカ合衆国テキサス州ダラス・ノース・セントラル・エクスプレスウェイ13500
 ⑰ 代理人 弁理士 中村稔 外4名

明 細 書

1. 発明の名称 再構成可能集積回路

2. 特許請求の範囲

(1) 複数のプロセッサと、

上記のプロセッサの全てに各々が接続される複数のバスと、

各々の上記プロセッサに接続されて上記プロセッサの構成を選択的に変更しこれによつて上記プロセッサをロジクステップまたは独立に作動可能とする手段

を有するモノリシック基板を有する集積回路。

(2) 上記バスが複数の線を有する状況バスを有し、上記状況バスの上記線が同期線及び演算連結線を有しており、

各々の上記プロセッサが上記プロセッサの各々及び上記状況バスに接続される状況バスマルチプレクサを有し、上記それぞれの状況バスマルチプレクサが選択的且つプログラムに沿つて上記状況バスの選択された線に接続又は割込みを行い、さらに上記それぞれのプロセッサを選

択的に上記状況バスに接続し、これによつて上記それぞれのプロセッサが上記状況バスを通して上記プロセッサのうちの隣接するものに接続されるようになつた特許請求の範囲第1項の集積回路。

(3) 各々の上記プロセッサが上記それぞれのプロセッサに与えられる命令を受けとる為に接続されるダイナミック型論理配列(DLA)を有し、上記DLAは：ANDマトリクス及びORマトリクスと；上記ANDマトリクスを上記ORマトリクスに接続する中間線と；上記AND及びORマトリクスの最初の1つと接続する複数の入力線と；上記AND及びORマトリクスの他の1つと接続される複数の出力線を含み、上記DLAの上記AND及びORマトリクスの少くとも1つが行列に配列されて、それぞれの上記マトリクス内の区画を規定するようになつており。

上記区画は所望の論理機能を行うように配置された選ばれた数の能動素子を含むように選択

的に配列されており；

さらに複数の制御線が設けられ、各々の上記制御線が選択的に1つ又は2つ以上の上記区画に存在する上記能動素子を作動させたり作動を切つたりする為に接続されることで上記D.L.A.が上記制御線の状況に応じて選択された論理機能を行うようになつております。

これによつて上記D.L.A.が制御線の状況に従つて上記それぞれのプロセッサに選択的に与えられた命令を通訳するようになります。

特許請求の範囲第1項の集積回路。

(4) 複数のRAMメモリモジュールを持つRAMメモリが設けられ、前記バスは複数の線を持つデータバスを有し、さらに複数のバス制御ユニットを有し、前記バス制御ユニットの各々が上記プロセッサの1つ、上記RAMメモリモジュールの1つ、及び上記データバスに接続され、上記バス制御ユニットが上記プロセッサを上記データバス又は、直接上記対応するRAMメモリモジュールに接続するようになつた特許請求

示されているかを判断し、上記割込み管理が上記プロセッサによつて現在実行中のそれぞれの命令シーケンスのいずれかを開始した上記割込み信号のうちの1つの優先順位を記憶し、対応するコンテクストスイッチ出力を与えており、

上記各々のプロセッサは上記割込み管理回路の上記コンテクストスイッチ線に接続されるスケデュラーを含み、

上記コンテクストスイッチが新しく受取つた割込み信号がより高い優先性レベルを有していることを示す時はいつでも上記スケデュラーが上記対応するプロセッサによつて現在実行される上記命令のシーケンスのとりかえを行つようになつた。

特許請求の範囲第1項の集積回路。

(7) 上記バスは制御バスを含み、さらに上記制御バスに接続され外部ピンを有する外部割込み管理回路が設けられ、上記外部割込み管理回路は、上記対応する割込み信号のフォーマットを特定する長さに関する情報及び型に関する情報をそ

の範囲第1項の集積回路。

(5) 各々のプロセッサの構造を変更する上記手段は、その作動によつて各々の上記プロセッサが同一の再構成可能集積回路上又は他の同様な再構成可能集積回路上の1つ又は2つ以上の上記プロセッサとロックステップ状態でまたはこれらから独立して選択的且つプログラムに沿つて作動可能である特許請求の範囲第1項の集積回路。

(6) 上記バスが制御バスを有し、上記制御バスが命令を転送する線及び割込み信号を転送する線を含んでおり、各々の上記割込み信号が優先性及び割込み先信号を示すビットを持つて各々の命令のシーケンスを開始するようになつており、各々の上記プロセッサは上記制御バスに接続され上記割込み信号を受取る割込み管理回路を有し、上記割込み管理回路が上記割込み信号の各々連続する1つをテストし、上記割込み管理回路を含む、上記それぞれのプロセッサが上記連続する割込み信号によつて割込み先として指

れぞれ含む割込み信号を受信及び送信する為の手段を有し上記長さの情報は、各々の割込み信号の長さを特定するようになつた特許請求の範囲第1項の集積回路。

(8) 上記バスが複数の線を含む状況バスを有し、上記状況バスの上記線が同期及びアース連結線を有し、

上記プロセッサが上記それぞれのプロセッサ及び上記状況バスに接続されるそれぞれの状況バスマルチプレクサを有し、上記それぞれの状況バスマルチプレクサが上記状況バスの選択された線を選択的かつプログラムに沿つて接続し又は割込みを行い、更に上記プロセッサを上記状況バスに選択的に接続しこれによつて上記それぞれのプロセッサを上記状況バスを通して上記プロセッサに隣接するものに選択的且つプログラムに沿つて接続し、

各々の上記プロセッサは、ダイナミック論理配列(D.L.A.)を持ち、上記D.L.A.がANDマトリクス、ORマトリクス、上記ANDマトリ

クスを OR マトリクスに接続する中間線とからなり、

上記 AND 及び OR マトリクスのうちの第 1 のものに接続される複数の入力線と、

上記 AND 及び OR マトリクスのうちの他のものに接続される複数の出力線とが設けられ、

上記 DLA の上記 AND 及び OR マトリクスの少くとも 1 つが行列に配列されて上記それぞれのマトリクス内の区画を規定しており、

各々の上記区画が所望の論理機能を行わせる為配置された選択された数の能動素子を含むように配列されており、

複数の制御線が、その各々が 1 つ又は 2 つ以上の上記区画に存在する上記能動素子を選択的に作動させたり又は作動を切つたりすることができるよう接続され、上記 DLA が上記制御線の状況に応じて選択された論理機能を行うようになつております。

上記 DLA が上記状況マルチプレクサに接続され、これによつて上記それぞれの状況マルチ

数のバスとを有するモノリシック基板からなり、上記複数のバスが複数の状況線を含み、

各々の上記プロセッサがデータバスハードウェアを有しさらにプログラム可能な論理配列 (PLA) を有していて、上記複数のバスの上記状況線が上記 PLA の入力及び出力、また上記 PLA の上記出力及び入力線に接続されている集積回路。

プレクサから、上記それぞれのプロセッサに与えられた入力及び出力が上記 DLA によつてプログラムに沿つて接続されるようになつた特許請求の範囲第 1 項の集積回路。

(9) 複数のプロセッサと：

各々 1 つ又は 2 以上の上記プロセッサに接続された割込み管理回路とを有し、上記プロセッサの全てが上記割込み管理回路のそれれ 1 つに接続されており、

それぞれの上記外部割込み管理回路間で信号を伝達するバス手段が設けられ、

上記各々の外部割込み管理回路は、それぞれ長さに関する情報及び型に関する情報を含む割込み信号の受信及び送信を行う手段を有し、各々の上記型に関する情報が対応する割込み信号のフォーマットを特定し、各々の上記長さに関する情報が上記対応する割込み信号の長さを特定している多重プロセッサシステム。

(10) 複数のプロセッサと：

各々が上記プロセッサの全てに接続される複

3. 発明の詳細な説明

本発明はソフトウェアで変更が可能なプロセッサ間の接続を行う内部接続を持ち、共通メモリの全てにアクセスする多重ビットプロセッサを有し、様々な計算構成の改変も可能である再構成可能な IC に関する。

VLSI 技術によつて得ることのできる経済的利点をいかず場合の主な問題点は、将来的な VLSI 部品で満足のゆくレベルまで価格を低減できるほど充分な量産が可能なものはわずかしかないということである。特に、応用例の多くの場合、プロセッサの機能にそれぞれ独自の構造を要求するので、各々の応用例に用いられるプロセッサはその目的に特に設計されることになり、必然的に高価格になる。

本発明の特に目的とすることとは、1 種の一般的 IC チップの設計を用いて多数の種々の応用例におけるプロセス上の要求を満たし、それに伴なつて IC を非常に経済的に製造できるようになるとある。

主要プロセッサに加え I/O 機能制御 (CRT デイスプレイのような)、メモリ管理、又は、特定の演算処理の為の専用プロセッサを使用することは好都合である事が多い。しかしながら、上記で示した様に、個々の目的のために特別に設計された VLSI は高価であるので、どのような専用プロセッサによつて得られる利益は十分には活かし得ていない。

本発明の他の目的は、特別製ではない一般的 IC を用いて特別な目的専用のプロセッサを容易に構成する手段を提供することである。

このような専用プロセッサを用いるにあたつては、これらを一般的な目的のプロセッサと共に单一チップ上に集積すれば、特に好都合であることが多い。しかしながら、このような構造は更に特別な設計を必要とし、前述のように価格的な不都合の問題が生じることになる。

本発明の他の目的は、容易に量産可能な一般的な目的の再構成可能 IC を用いて、一般的な目的のプロセッサと 1 つ以上の特定目的のプロセッサ

とを单一チップ上に集積可能にすることである。

特定目的のために設計された VLSI の他の問題点は、部品製造の歴史が長くなるほど完成部品の価格と歩留まりおよび信頼性が、「ラーニングカーブ（習熟曲線）」に沿つて良くなるという傾向があるのに対し、カスタムメイドによる特定目的の設計では、価格や信頼性に顕著な改善があらわれる程充分に長期の期間にわたり大量生産が行われることは通常はないということである。

したがつて、本発明の他の目的は、価格、歩留まりおよび信頼性がラーニングカーブに沿つて顕著に改善されるよう長期にわたり大量生産が可能な一般的な目的を有する部品を提供することである。

カスタムメイドすなわち特定目的のために設計された VLSI は高価であるとともに、ゲートの集積度が比較的低いという問題点をさらに有する場合が多い。これは、少量で生産される部品である為にパッキングの集積度を最適とする為に多くの時間及び多くの費用を費すこととは、経済的でなくなるという理由からである。

そこで、本発明の他の目的は、ゲートの高集積を保持しながらカスタムメイドの集積回路の必要を充たすことのできる集積回路を提供することである。

ゲートアレイは、非常に触通性の高い LSI 又は VLSI 部品を提供することができ、さらにゲートアレイは、ある種の特定な機能たとえば高速乗算器又はクロスバースイッチのような機能を有効に行うことができる。しかしながら、ゲートアレイは、プログラム可能なシステムの補助にはあまり適さないし、ゲートアレイの集積度は通常プロセッサほど高くない。

したがつて、本発明の他の目的は、ゲートアレイより高いゲートの集積度を持ち、プログラム可能なシステムの補助に一層適した再構成可能集積回路を提供することである。

比較的大規模で複雑なシステムを数学的にモデル設計したい場合、各々のプロセッサのデータ処理能力は比較的低くとも、高次の並列演算処理によつて全体的なデータ処理は非常に高くなるよう

に大規模配列でプロセッサを使用することが望ましい場合が多い。しかし、このような配列でプロセッサを使用することは、通常は特定の目的の為のシステムとして構成されるので今のところ比較的高価なものとなる恐れがある。

同様にして、非常に広い多重精密ワード（ここで複雑な軌道的システムが非常に長期にわたつてモデルされなくてはならない）を用いて長い連続する計算を実行することがしばしば望まれる。この場合に於ても、既製のシステムを適合させると、通常高価格又は低速となるが、又はこの両方の問題が生じることになる。

故に、本発明の他の目的は、特別なハードウェアを設計することなく、多数のこのような集積回路を結合して、安価に配列処理及び／又は多重精密処理を行うようにプロセッサを集積回路中に設けることである。

カスタムメイド VLSI のこの他の重大な問題点は、ハードウェアの設計の変更及びテストが必要とされるので設計のサイクルタイムがどうして

も長くなることである。

そこで、本発明の他の目的は、単にソフトウェア及び／又はファームウェアを変化することによつて特定の応用例にあわせて再構成可能な横回路を提供することである。

多重処理システム、ダイナミック構造及びマイクロプロセッサ構造の背景を一般的に理解する為の参考文献としては以下のものがある。

「多重プロセッサ及び並列処理」(ed P. エンスロウ ジュニア 1974)；A.アートアラ&ルメルツア、「デジタルコンピュータ設計の目的」(1976)；C.ミード&L.コンウェイ、「VLSIシステム入門」(1980)；R.クルツ、「マイクロプロセッサ及び論理設計」(1980)；G.メイヤー、「コンピュータ構造の発展」(1978)；ペラー、「多重処理システム」25 IEEEトランズアクションズ・オン・コンピューターズ 1271頁(1976)；サーバー&カルド、「協働並列プロセッサ」、7.コンピュータサーベイ 215頁(1975)；カータシエフ&カータシエフ、

「ダイナミック構造：その問題と解法」コンピュータマガジン 7.8年7月26頁；カータシエフ&カータシエフ、「ダイナミック構造を持つ多重コンピュータシステム」28 IEEEトランズアクションズ・オン・コンピューターズ 704頁(1979)；カータシエフ&カータシエフ「80年代の為のスーパーシステム」コンピュータマガジン、1980年11月号11頁；及びヴィツク「スーパーシステムに適合可能な構造」コンピュータマガジン 1980年11月号17頁。これらは全てここに参照として示す。

使用者があまり知識を持たないような場合、特定の仕事にあわせた非常に高度なアプリケーション言語を設計することは、特に好都合である場合が多い。しかしながら、このようなアプリケーション言語がソフトウェアの形で実施される場合、速度が落ちることになるのが普通であるし、ハードウェアで実施されれば、通常、非常に高価なものとなる。

故に、本発明の他の目的は、あらゆる所望

のアプリケーション言語の翻訳にも適合するVLSIプロセッサを経済的に与える手段を提供することである。

多重プロセッサシステムの持つ多くの利点は、めつたに有効に利用されていない。これは1つには、單一プロセッサシステムより多重プロセッサにおいて最適となるプログラムを作れるようプログラムを訓練することは、常に困難である所である。したがつて、本発明の他の目的は、多重処理及び單一処理システムの間を簡単に構成の変更可能なシステムを提供し、プログラマが多重プロセッサのプログラミングの利点を活かし得るようにその要求するところに徐々に慣れるようになるとことである。

多重処理システムの利用に関してのこの他の問題点は、ハードウェア構造に融通性がないという問題である。多重処理システムの動作の大部分は、ハードウェアの構造によつて決定されるので、また現在のところ提案されている全てのハードウェア構造はある型の問題に対し最適でも他には最適

ではないと思われるので、真に一般的な目的を果たすシステム(汎用システム)を実現する多重プロセッサハードウェア構造はまだ1つもできていないと思われる。

そこで、本発明の他の目的は、再構成可能であつてこの為に真に汎用多重プロセッサハードウェア構造となり得る多重プロセッサハードウェア構造を提供することである。

多くの多重プロセッサシステムに発生するこの他の問題点としては、2つ以上のプロセッサがメモリの同じ領域にアクセスしようとする時に起るプロセッサ間の干渉の問題である。いずれか1つのプロセッサによつてアクセスできるようにメモリの領域に拘束を与えることも可能であるが、これによつてプロセッサ間の干渉の問題は避けられる一方、多重プロセッサシステムによつて受けける大部分の利益を犠牲にすることになる。

したがつて、本発明の他の目的は、どのプロセッサもメモリのいずれの領域にもアクセス可能でありながら、データの完全性も保持できる多重ア

ロセッサシステムを提供することである。

マイクロプロセッサ言語と構造（アーキテクチャ）の間の、またマイクロコンピュータとミニコンピュータシステムの間のエミュレーションには、現在、比較的高額な費用がかかる。もしこのエミュレーションをもつと安価にすることができれば、たとえば単一のプロセスチップで達成できるようになれば、より安価な開発及び試験が可能となり、これによつて特定目的に設計された応用システムの使用範囲が広がり、新しい技術に一層早く適合できるようになる。

本発明の他の目的は、触通性があつて効率的なエミュレーションを行うことができる单一チッププロセッサを提供することである。

故障のあつた場合をでも性能低下をおだやかにすることができるマイクロプロセッサシステムを提供することも望ましい。こうすることによつて、ハードウェアに最初に生じた重要な誤動作は、チップの機能に影響を与えるなくなり、単にチップの機能をわずかに低下させるだけになるので、信頼

性及び歩留まりの両方が大巾に改善される。

本発明の他の目的は、ハードウェアに誤りがあつた場合、壊滅的な誤りとするよりむしろおだやかな機能低下をおこすマイクロプロセッサシステムを提供することである。

非常に多数のプロセッサを持つ多重プロセッサシステムは、多重プロセッサが高価であること、これらの内部接続が困難であること及び大規模なシステム内のプロセッサ間のインターフェースのために適当なプロトコールを特定することが非常に困難であること、などのために、今までのところその利点をわずかに利用できるのみである。

本発明の他の目的は、所要数のプロセッサを内蔵している多重プロセッサシステムの中に容易に組み込み得るプロセッサを提供することである。

I Cプロセッサを多重プロセッサシステムの中に組み込み得るようにする場合、さらに生ずる問題点は、外部プロセッサとのインターフェースのためにチップ上に別のハードウェアを準備する必要があることである。外部で発生された割込みを受

けとり循環させる I/O 通信機能及び外部プロセッサと接続するプロセッサ間の通信機能を達成するには、これらのためにハードウェアを別々に備えるとすれば非常に多くのハードウェアを必要とする。

本発明の他の目的は、I/O 通信及び中間にあるプロセッサ間通信の両方を操作できる外部インターフェースを提供することである。

本発明の他の目的は、各々のプロセッサ内でプロセッサ間通信を管理する為また外部で発生した割込みを転送する為の両方に割込みを使用できるように作られた割込み管理構造を提供することである。

プロセッサシステムの動作機能又は構造を変更する必要がある時に論理を再設計すると費用がかかり困難であるばかりでなく時間もかかる。

したがつて、本発明の他の目的は、論理を再設計するのではなくプログラミングを変更する事によつていかなるレベルにおいてもプロセッサのオペレーションを容易に変更できるようにすること

である。

プロセッサのハードウェアシステムにアーキテクチャコンパイラ（architecture compiler）を提供できるようにすることは、非常に望ましいことである。このようなコンパイラは、プログラムによつて通常可能な変更に加えて、システムの有効な構成をプログラムすることを可能にする。しかしながらこののようなコンパイラを補助する為には、機能的な内部接続の再構成を選択的且つプログラムに沿つて実行できるハードウェアを備える必要がある。

そこで、本発明の他の目的は、アーキテクチャコンパイラを使用する為に必要な機能の変更が可能な構造を持つプロセッサシステムを提供することである。

本発明は、单一チップ上に 4 つのマイクロプログラム可能な 16 ビットマイクロコンピュータを備えるものである。マイクロプログラミング機能は、個々のプロセッサを含む大規模 PLAにより与えられるものである。各々のプロセッサは状況

(status) バス、データバス、及び制御バスと呼ぶ3つの各々の主要バスに接続される。それぞれのプロセッサは、プログラム可能な内部接続として働く状況バスマルチプレクサをそれぞれ介し接続される。このようにして状況バス接続の種々の構成が可能となることで、プロセッサは、(例えば、4つの16ビットプロセッサーとして)単独で作動させることも、(例えば1つの64ビットプロセッサーとして)ロックステップ(lockstep)で作動させることも、ハイラインで動作させることもできる。このように、プログラムの融通性を与える2つの主要なソースが得られる。即ち、PLA翻訳によるマイクロプログラミングの融通性であり、プログラム可能状況バス接続を使用し、各々のプロセッサによって翻訳された命令の流れを制御することによるプロセッサ再構成の融通性である。

プロセッサ制御に於てこの融通性を利用する為、各々のチップレベルの命令は、1つまたは2つ以上の特定のプロセッサへと送られる。故に、プロ

セッサが(個々のプロセッサが同一のデータの流れの中で次々と異なるオペレーションを実行する)ハイラインモードで動作することが望ましい時、各々のプロセッサはそれぞれ命令を受け、ハイラインシーケンス内のその位置に適当なオペレーションを実行する。ロックステップ処理の場合、1つのプロセッサは、(シーケンスその他の制御する)マスタープロセッサとして指定され、他のロックステップ型プロセッサは全て同時に制御される。これらの再構成の種々のモードもまた組合せ得るので例えば、1つのチップは4つの独立な16ビットプロセッサ、2つのハイライン型32ビットプロセッサ、1つの48ビットプロセッサ(3つのロックステップ型16ビットプロセッサ)及び1つの独立16ビットプロセッサ等を含むように再構成される。制御バスが複数の関連のない命令シーケンスを運搬する為に区分され得るので、単一の制御記憶管理を用い仲裁(arbitrated)され制御バスへの仲裁が行われる多重割込み階級組織(multilevel interrupt hierarchy)が使

用される。(1つの外部割込み管理及び2つの外部状況ポート及び2つの外部データポートを含む)外部インターフェース制御によつても、2個以上のR I Cチップ上のプロセッサを一緒に前に示したような種々なモードで連結することが可能である。更に、外部インターフェース制御もまた外部メモリ、I/O装置その他へのアクセスを制御している。

どのプロセッサによつてもアクセス可能なRAMを充分量チップ上に用意する。しかしながら、各々のプロセッサもまたチップ上のRAMの主要な区域に直接アクセスしている。全てのプロセッサは、RAM内のそのプロセッサ用の優先区域に並列にそれぞれ直接アクセスされ得るが、他のRAM内の区域にもアクセスする為にはプロセッサはデータバスを使用しなくてはならないので、このようなアクセスを仲裁あるいは調整する必要がある。ハングアップ(hangup)及びティドロップ(deadlock)を防ぐ為の設計手段が存在する。第1には256の優先段階が使用され、故に優先

性の一致が起こらない様にする。第2に、全ての割込み(interrupts)が並列に送られて、確認が行われる。第3に、実行を進める為に必要とされる資源を全部手に入れることができなかつたプロセッサはいずれも、予め入手してあつた資源を全て放棄し、必要な資源が入手できるようになるまで待機する。

このようないくつか重要な構成要素に加えて、設計の仕様を完全に満たす為には多数の従来の部品も使用される。例えば各々のプロセッサは、ALU、バーレルシフター、メモリマップ、マイクロシーケンサ等を有している。

本発明による利点は、前述した本発明の目的を全て解決するものであり、他の利点も当分野に通常の知識を有するものであれば明らかであると考える。例えば、構造の大部分(例えば全部で4つのプロセッサ)は同じものを複製して使用すればよいので、ほとんど4のファクターでR I Cチップのハードウエアの配置を考える時間が低減される。

もちろん、プロセッサは16ビットプロセッサ

である必要はなく、変わりに32ビット、8ビットその他であつてもよい。同様にして、チップ上のプロセッサの数は、4である必要はなく3でもまた5以上でもよい。実際は、最大のプロセッサ数は、製造技術によつて単に拘束されるのであつて、より微細な加工が実用化すればたくさんの数のプロセッサをワンチップ上に作ることは非常に望ましいと予想される。このような場合、内部接続やバス及びプロトコールは、このままでよい。もちろん、プロセッサが16ビット以外の場合には、それぞれのバスの規模は、それ相當に変化させなくてはならない。

本発明は、複数のプロセッサ、それぞれが上記プロセッサの全てに接続される複数のバス及び上記のプロセッサの各々に接続され、上記プロセッサを選択的に再構成することによって、上記プロセッサがロックステップ又は独立して動作することを可能にする手段とを有する、モノリシック基板からなる再構成可能な集積回路を提供するものである。

上記プロセッサは、上記それぞれのプロセッサに与えられる命令を受けとる為に接続されるダイナミック論理配列(DLA)を有し、上記DLAは、ANDマトリクスと、ORマトリクスと、上記ANDマトリクスを上記ORマトリクスに接続する中間線と、AND及びORマトリクスの最初の1つに接続される複数の入力線と、上記AND及びORマトリクスの他の1つに接続される複数の出力線とを有し、上記DLA内の上記AND及びORマトリクスの少くとも1つは、上記のそれぞれのマトリクス内の区画を規定する為に行列で配列され、各々の上記区画は所定数の能動素子が含まれるように選択的に配列され所望の論理機能が行われるようになつており、さらに、複数の制御線が設けられ、各々の上記制御線は、1つ又はそれ以上の上記区画内に配置される上記能動素子に接続され選択的に作動可能にしたり作動不可能にしたりして、上記DLAが、上記制御線の状況に応じて選択された論理機能を行なうようにし、これによつて上記DLAは上記それぞれのプロセッ

また、本発明は、複数のプロセッサと、それぞれが全てのプロセッサに接続された複数のバスとを有するモノリシック基板からなり、前記バスは複数の線を持つ状況バスを含み、上記状況バスの上記線は、同期及び演算集合線(arithmetic linkage lines)を含む複数のバスとを有し、各々の上記プロセッサは、それぞれの上記プロセッサ及び上記状況バスに接続される別々の状況バスマルチプレクサを有し、上記別々の状況バスマルチプレクサは、上記状況バスの選択された線に対し選択的に且つプログラムに沿つて接続又は割込みを行い、さらに上記それぞれのプロセッサを上記状況バスに選択的に接続していて、これによつて上記各々のプロセッサを上記状況バスを通し上記プロセッサの隣接する1つに選択的に且つプログラムに沿つて接続するようになつた再構成可能な集積回路を提供するものである。

さらに、本発明は、複数のプロセッサと、それぞれが全部の上記プロセッサに接続される複数のバスを有するモノリシック基板からなり、各々の

サIC与えられた命令を上記制御線の状況に応じて選択的に翻訳するよう構成された再構成可能な集積回路を提供するものである。

本発明はまた、複数のプロセッサと、それぞれが上記プロセッサの全てに接続される複数のバスと、RAMメモリとを有するモノリシック基板からなり、上記RAMメモリは複数のRAMメモリモジュールを有し、上記バスは複数の線を持つデータバスを有し、さらに複数のバス制御ユニットが設けられ、各々の上記バス制御ユニットは、上記プロセッサの1つ、上記RAMメモリモジュールの1つ、および上記データバスに接続され、上記バス制御ユニットは選択的に上記プロセッサを上記データバスに接続するか又は上記の対応するRAMメモリモジュールに直接接続するようになつた再構成可能な集積回路を提供するものである。

本発明はまた、複数のプロセッサと、それぞれが上記プロセッサの全てに接続される複数のバスとを有するモノリシック基板からなり、それぞれの上記プロセッサを再構成する手段が設けられ、

これによつて各々のプロセッサは同一の再構成可能な集積回路上の1つ又は2つ以上の他のプロセッサといつしよにロックステップ形式で又は独立して、選択的且つプログラムに沿つて作動できるようになつた再構成可能な集積回路を提供するものである。

さらに、本発明は、複数のプロセッサと、それらが上記プロセッサの全てに接続される複数のバスを有するモノリシック基板からなり、上記バスは制御バスを含み、この制御バスは命令を転送する線と割込み信号を転送する線とを有し、各々の上記割込み信号は、優先性及び上記プロセッサの中の割込み先プロセッサ (interruptee processor) を示すビットを有し、この上記割込み信号の1つが上記命令のシーケンスを開始せるようになつており、各々の上記プロセッサは、上記制御バスに接続し割込み信号を受取る割込み管理回路 (interrupt manager) を有し、この割込み管理回路が上記割込み信号の連続する1つをそれぞれテストし、上記割込み管理回路を持つ上記

それぞれのプロセッサが上記連続する割込み信号によつて割合で先として指定されたか否かを決定するようになつております。上記割込み管理回路は、現在、上記プロセッサで実行される別々の命令シーケンスのいずれかを開始させた上記割込み信号の1つの優先性を記憶し、上記割込み管理回路は、各々の上記プロセッサにアドレスされた上記割込み信号の各々連続する1つの優先性と、現在、上記プロセッサで実行されている別々の命令シーケンスのいずれかを開始させた上記それぞれの割込み信号の優先性を比較し、それに相当するコンテクストスイッチ出力 (context switch output) を与えるようになつております。各々の上記別々のプロセッサは上記割込み管理回路の上記コンテクストスイッチ線に接続されるスケデューラ (scheduler) を有し、上記スケデューラは、上記コンテクストスイッチが新しく受取つた割込み信号がより高い優先レベルであると示す時にいつでも、現在上記対応するプロセッサで実行されている上記命令シーケンスの交換を行なうようになつた再

構成可能な集積回路を提供するものである。

以下、本発明に関し実施例を用い図を参照しながら詳細に説明する。

第1図は、再構成可能IC (以下はRICと略す) のブロック図を示す。PROからPR3までの4つのプロセッサは単一チップ上に形成されており、全てのプロセッサ間を接続する為、3つのバス14、52及び56が設けられている。各々のバスに対応して外部インターフェース76、74と75、及び72と73が設けられ、またオンチップRAMメモリ66及び制御記憶回路38(第2図)も形成される。より詳細な配置図は、第2図で示されている。第2図は、1つのプロセッサPR3の全体と、それぞれの型の外部インターフェースのうち1つ及びバス線とオンチップメモリの一部を含む再構成可能ICの部分的フロアプランを示す。各々のプロセッサの割込み管理回路12は、制御バス14上に現われる割込みを常に監視している。プロセッサPR3 ICアドレスされた割込みだけが、PR3内の割込み管理回路

12によつて認識される。このような割込み信号はPR3内のスケデューラ16によつて連続して比較され、これらの信号の優先レベルがプロセッサPR3で現在実行中の命令シーケンスの優先性より高いかを調べる。これが高い場合であれば、新しい割込みが導入した命令の流れ(このようないくつかの命令の流れは「プロセス」と呼ばれる)の実行の開始が必要である。スケデューラ16は、対応する出力を制御DLA22に与え、こればROM命令レジスタ18又はRAM命令レジスタ20を作動させて制御DLA22が「プロセス」の中に含まれる命令のシーケンスを受けとり始める。制御DLA22は、以下に示すようにその構造上の改良によつてパッキング密度が非常に向上されている点を除けばPLAと同様に機能する。したがつて、制御DLA22は、その内部のANDマトリクスにミンターム (minterms) を発生し、次にORマトリクスがこれらのミンタームを次に選択された論理和出力に変換する。制御DLA22と隣接するのは、ファードパックアロンク

24である。これを通つていくつかの制御 DLA 22 の出力はフィードバックされ、DLA 22 の入力へと接続される。この意味で一定の状況による機械機能が DLA 22 に与えられるので、DLA 22 は例えばある高レベルの命令を低レベルの命令のシーケンスに翻訳することが可能である。

DLA 22 は、デコーダ区域 25 及び 26 に接続され、これによつて DLA 22 の出力は ALU 28、パレルシフタ 30、レジスタフアイル 32、メモリマッパー 34 等に対するハードウェア命令として選択される。DLA 22 の出力は、またマイクロシーケンサ 36 に接続され、これによつて制御バス 14 及び制御記憶回路 38 に対するアクセスの制御を行う。マイクロシーケンサ 36 は制御バス 14 上に適当な信号を送ることが可能で制御記憶アドレスレジスタ 40 を通つて制御記憶回路 38 にアクセスしている。制御記憶回路 38 から呼び出されたデータは、制御記憶データレジスタ 42 を介し制御バス 14 に出力され、更に、もしレジスタ 18 が割込み管理回路 12 によつて作

動されている場合には、ROM 命令レジスタ 18 内に入力され、制御 DLA 22 の AND 区域に対する入力として接続される。メモリマッパー 34、レジスタフアイル 32、パレルシフタ 30、ALU 28、シフトレジスタ 44 及びフラグレジスタ 46 のオペレーションは、マイクロプロセッサ技術としては既知の従来の主要オペレーションに従い行われる。

エンド・アラウンド・ループ 54 を含む状況バス 52 もチップ上に形成される。状況バスは、状況マルチプレクサ 45 及び 50 を介しそれぞれのプロセッサに接続される。各々のこのようないべつの状況マルチプレクサはプログラム可能な相互接続として作動する。状況バス 52 及び 54 の線は、バイラインモード中の隣接するプロセッサ間に同期を与える為に又はロックステップモードでの隣接するプロセッサの間に完全な直結を作り出す為に使用される。単独モードでは、このような連絡はまつたく必要ない。1 対の状況マルチプレクサ 45 及び 50 はプログラムされて、新しいモー

ドが入つてくるタイミングごとに適当な状況バスの相互接続が行われる。

プロセッサ PR 3 は、メモリマッパー 34 を介して RAM メモリ 66 IC アクセスしている。メモリマッパー 34 からの線は、状況バス 5.2 を 54 と交叉しており、バス制御ユニット 58 でデータバス 56 とインターフェースしている。バス制御ユニット 58 は選択的にプログラムに沿つて作動するので、メモリマッパー 34 からの出力は、プロセッサ PR 3 が好ましくはアクセスする RAM メモリモジュール 60 IC、データレジスタ 62 及びアドレスレジスタ 64 を通つて直接接続するか又はデータバス 56 を通つてチップ上又はチップ外のメモリのどこか他の領域に接続される。RAM メモリ 66 の他の 3 つのモジュール（図示せず）のうちの 1 つにアクセスする必要がある場合、このアクセスはデータバス 56 を介し、他の 3 つのメモリスケデューラーユニット 68 のうち適当な 1 つと接続される。各々のメモリスケデューラーユニット 68 は、先に来たものから先にサービスを行

う方法に従つてメモリアクセスの要求をスケデューリングし、制御レジスタ 70 を通つて相当するメモリモジュールへアクセスするよう制御する。更に、データバス 56 は外部データポート 72 及び 73（第 1 図参照）に接続され、これを通して各々のプロセッサは、チップ外メモリにアクセス可能となつている。

同様にして、状況バス 52 及び 54 は、外部状況ポート 74 及び 75 に接続されるので、チップ外プロセッサは、多重チップ間のロックステップ及びバイラインのオペレーションで同期するようになり、制御バス 14 が外部割込み管理回路 76 に接続されるので、チップ外プロセッサとの間で命令の送信受信を行うことができる。

制御記憶回路 38 は、それぞれの制御記憶モジュール制御器 9.6 によつて制御されるモジュール 78 に分割されている。RAM メモリ 66 も同様にしてモジュール 60 に分割されている。最後に複数のパッド接続領域 80 が外部との接続の為にチップ周辺に設けられている。また 84 ピンパッケージ

を使用することが好ましい。

前述した内容は、再構成可能な集積回路の機能及び構造を示す概略的説明である。チップに関するさらに詳しい説明はいくつかの実施可能な応用例としての提案を行なながらこれから説明する。

これからさらに詳しく説明する再構成可能な集積回路の第1の特徴は制御バスである。制御バスの重要な役目は、制御 DLA 22 によって行われ、この DLA の構造及びオペレーションを第1に説明する。各々のプロセサに用いられるプログラム可能な論理配列 PLA は大規模なものであることを必要とする。本実施例では、 $40 \times 400 \times 120$ の PLA を必要とする。現在の製造技術では、この程度の複雑な PLA は、非経済的な程に広い面積である 10,000 平方ミルのオーダーの領域を占めることになる。しかしながら、プロセス技術の改良が必要な領域を非常に小さくしている。更に、上記のような従来の PLA のかわりに DLA (ダイナミック論理配列) を用いることでかなりのサイズに関する改良が可能となつた。

機能ではなく多重機能の為に PLA の入力及び出力を使用可能にすることができる。DLA は、単一機能を実行する回路を作動させ一方他の機能を実行する回路をオフにする方法で PLA の部分を絶縁することによつてこれを行つている。

DLA 22 内の能動部分の選択は、2つのデコーダ 25 及び 26 によつて行われる。これらの2つのデコーダによつて DLA の制御線が作動されることに従つて、DLA が作動し、所定の論理機能を形成する。もちろん、DLA のいくつかの部分はこれらの制御線によつて制御されていない。この考え方は、PLA における NOR ゲート仕様及び NAND ゲート仕様の両方に適用可能である。

第3図に示すように、NMOS 技術を用いての PLA の NOR ゲート仕様においては、OR マトリクス内にゲートを形成するトランジスタと共に AND マトリクス内にゲートを作るトランジスタは、共通して接地されるソースを全て有している。特定の機能を作りだすトランジスタのソースがフロートされている場合、回路は、これらのトラン-

ジストが取り除かれたかのように働くのでその機能は働かなくなる。NOR ゲート DLA の背景にある基本的思想は、機能を行う為の全てのトランジスタを制御線に接続し、機能を働かせる時に制御線は接地され、機能を働かせない時にフロートにするという事である。DLA で多重機能を作りだす為には、各々の機能を作りだすトランジスタのソースを、その機能に対応する別々の制御線に接続する。第3図は、典型的な NOR ゲート DLA を示している。通常の PLA 回路は、実線で示され、DLA を作る為の追加的回路は、点線で示されている。DLA は破線によつて示されて区分されている。種々の区分は、P1 から R8 までの表示が付されている。制御線 C1 が論理 1 である場合、区分 P1 及び P5 に於ける回路が作動され、出力 E 及び F は、入力 A、B 及び B の関数となる。制御線 C1 が 0 レベルである場合、E 及び F の出力は、いずれの入力の関数としても制御されることもない。追加の回路もまた出力 E 及び F を入力 A、B 及び B の関数として制御される他の

機能を作り出す為に P 3 及び P 7 の区域に追加することができる。

同様にして、第 3 図の制御線 C 2 は区分 P 4 及び P 8 に於る回路を作動又は非作動状態にすることができる。追加の出力機能を与える追加の回路を区分 P 2 及び P 6 内に追加することができる。

この回路は、あらゆる数の区分に対しても一般化することが可能であつて、この区分は様々なサイズが可能である。また AND マトリクスは、OR マトリクスからは分離して制御可能である。

第 3 図は、スタティックゲート PLA に基づいて改良が行われた DLA を示しているが、明らかのように、上記の説明はダイナミックゲート PLA に基づく DLA にも応用することはできる。ダイナミックゲート DLA を作る為に必要な追加の周辺制御回路は、特に PLA が大規模である場合でも非常にわずかなチップ領域を増加するだけで足りる。

第 4 図は NAND ゲート DLA を示す。多重化された機能の選択された 1 つを作り出す為 IC PLA

を区分に分けるという考え方はそのままである。変わつたのは所望の機能を作り出す為のゲートを絶縁する方法に関するものである。NOR ゲートを作り出す為に、(共通ソースの) 電圧を制御する方法が使用される。NAND ゲート DLA では、電圧制御された NOR ゲート DLA に対し電流はデュアルで流れ。NAND ゲート DLA においては、所望の機能を作り出すトランジスタ以外の全てのトランジスタは制御線によつて制御される電流バイパスによつて 1 回 (シャント) される。所望の機能を作り出すトランジスタのみが上記のように 1 回されることはない。マクスタームよりも少し ミンターム の結果を発生する DLA を構成することも可能であるが領域の経済性は同じままである。

翻訳の為に DLA を使用することによつて、各々のプロセッサの翻訳システムは、DLA のオペレーションのモードを選択することによつて容易に再構成可能となる。より高価であるフィールドプログラム可能構造も使用者の開発にとり有用である。

あるが、DLA 22 はマスクプログラムによるものを使用することが好ましい。

このように、制御 DLA 22 を使用することで、各々のプロセッサ内で必要とされる複雑なマイクロプログラミング機能を得ることができ。マクロ命令を入力として DLA に与えているバスについて以下に説明する。

DLA 22 は、また単にリアルタイム入力を DLA の入力線の 1 つに接続し、その入力と DLA の適当な出力を AND 接続することによつてリアルタイム機能を提供する為に使用されている。

制御記憶回路及び制御バスの構造及び使用する割込み制御システムにつき以下説明する。

ある実施例に於ては、中央制御記憶回路は、4 つの全てのプロセッサにアクセス可能で共用が可能である。ここで示す好ましい選択例では、制御記憶回路 38 のどの部分にも各々のプロセッサがアクセス可能なままにしておきながら、プロセッサの中の制御記憶回路 38 は、プロセッサの中のデータ記憶部と同様の配置で、配置されている。

4 つのマイクロシーケンサ 36 は、並列アクセスが可能でないが、単に低い平均アクセスタイムは可能である。もちろん、マイクロシーケンサ 36 は(バス制御ユニット 38 と同様に)並列アクセスが可能のようにも構成されるが、これにみあうだけの利点は得られずに、追加の回路によつて複雑性は増すことになる。中央共有可能制御回路は、以下のようないい利点を与えている。多重プロセッサで使用されるコードは複製されないので、メモリ領域をより有効に利用することができる。各々のプロセッサに与えられる制御記憶量を要求に対して、より良い具合に合わせることが可能になる。メモリを中央に集中できるのでフィールドプログラミングが実用的である。もちろん、中央制御記憶回路にアクセスする单一のチャネルがシステムの障害となるのを避ける為に、制御記憶回路に記憶される命令のレベルを充分に高くして、各々のプロセッサが制御記憶回路から受けとつた各々の单一命令を、実行する為に平均して 4 又はそれ以上の完全クロックサイクルを要するようにしな

くてはならない。現在のマイクロプロセッサのソフトウェア構造に於ては、1つのアセンブリ言語命令には典型的に平均して5ないし10サイクルを要するので、命令のレベルに関する上記の拘束は、容易に満たされる。

マイクロシーケンサ36は、ROMメモリ内に記憶されるマイクロ命令を実行するシーケンスを制御する為のアドレスシーケンサである。シーケンス的なアクセス機能に加えて、このマイクロシーケンサに14ビットの範囲又は16Kワードの範囲内であらゆるマイクロ命令を条件付きで分岐している。またマイクロサブルーチン回帰連結及びループ機能を与えていたるラスト・イン・アンド・ファースト・アウト形式のスタッグをこのシーケンサが提供している。ここでは、4から8のレベルのマイクロサブルーチンがある。アドレス範囲内のマイクロ命令ループカウンタも有している。マイクロシーケンサ36の実施例についてのこの他の詳しい説明は、当分野に通常の知識を有する者には明らかであると考え、さらに詳細を第47

図に示すにとどめる。

中央制御記憶回路構造は、中央共有制御バスを含んでいる。中央制御バス14は4つのプロセッサPR0からPR3の中の制御記憶回路38の使用の仲裁を行い、プロセッサからのアドレスを転送し、制御記憶回路38からのマイクロ命令を複数のプロセッサに転送している。制御バス14は、チップの長さと同じ位の長さで設けられた73本の線を有している。故に、バスは高価な資源であつてバスの帯域をフルに使用できるようになることが望ましい。即ち、制御バスの帯域は制御記憶回路38のストレートアップ及びプロセッサのマイクロ記憶アクセス率とほぼ一致する。

本実施例に従つた制御バス14の構造が第5図に示される。制御バス14は制御データバス82、アドレスバス84、割り込みバス(destination bus)86、割込みバス88及びデータルーチンバス90を有している。制御データバス82は、制御記憶回路38からとつてきたマイクロ命令をプロセッサPR0からPR3までに転送している。このバスは40本分の線の広さである。アドレスバス84は、マイクロシーケンサ36によつてそれぞれのプロセッサ内で発生されたアドレスを制御記憶回路38に送り、マイクロ命令をとりだしている。以下に説明するように、アドレスバス84もまた割込み期間中は優先性の情報を運んでいる。このバスは14本分の線の広さであつて、制御記憶回路38に16Kワードのアドレス領域を確保している。割り込みバス86はプロセッサが制御記憶回路38にアクセスする時にいつでも使用され、1つまたそれ以上のプロセッサPR0-PR3及び外部割込み管理回路76のいずれかで現在アクセスされている制御記憶回路38内のア

ドレスに記憶されるデータを受けとるかを知らせる。割り込みバス86は、割込み期間中に使用されるプロセッサPR0-PR3及び割込み管理76のうちのいずれが現在の割込みを受け取るか(即ち割込み先Interruptee)を確定している。割り込みバス86は線5本分の広さである。割込みバス88は割込みのソースを転送するのに使用される。このバスは、割込み先プロセッサに対し割込みが手元にある中で最も高い優先性のタスクであるかどうかを知らせる為にも(即ち割込み先プロセッサが割込みを受入れるかを知らせる為に)使用される。この型の応答では、ハイライン型又はロジクステップ型オペレーションを必要としてプロセスを迅速に設定(又は延期)する必要がある。割込みバス90は5本分の線の広さである。データルーチンバス90は制御記憶回路92によつて制御され、PR0からPR3のうちの1つ又は2つ以上のどのプロセッサが現在制御バス82で転送中のマイクロ命令を受けとるのを示す為に使用される。データルーチンバス90は5本分の線の

広さである。線 D R 0 - D R 3 は、R O M からとり出されたワードの割当て通りに又は割込みに応じて P R 0 から P R 3 のうちの対応するプロセッサを指定する為に使用される。線 D R 4 は R O M からとり出されたワードの割当て又は割込みに応じて外部割込み管理回路を指定するために使用される。

第 6 図に示されるように、制御記憶管理回路 9 2 は 1 つの中央制御器 9 4 及び 4 つの制御記憶モジュール制御器 9 6 から組織される。第 7 図は、制御記憶管理回路 9 2 のオペレーションを示す流れ図である。制御記憶管理回路 9 2 が作動される時、この回路は、バス 8 6, 8 4 からそれぞれ割当て及び制御アドレスの情報を受取る。次に回路は、アドレスバス 8 4 で受けとつたアドレスのうちの上から 2 つの最高位ビットの示す内容に従つて制御記憶回路 3 8 内の 4 つの制御記憶モジュール 7 8 のうち 1 つを選択する。アドレスは更に適当なモジュール制御回路 9 6 に送られる。第 7 図の流れ図に示す上述の機能は、中央制御回路 9 4

によつて実行され、残る機能は、適当なモデュール制御回路 9 6 によつて実行される。モデュール制御 9 6 はここで要求されたアクセスの為のアドレス及び割当て先を待ち行列にして F I F O のオーダーで要求された制御ワードを読み出す。

制御バス 1 4 による仲裁は、プロセッサ P R 0 から P R 3 の間を花輪状に結ぶバス作動線 9 8 (第 5 図参照) を用いて行われる。あるプロセッサが制御バス 1 4 を支配するとき、このプロセッサはフルの 1 サイクルのみの間制御バスを使用する。(アドレスを送る為の第 1 フュイズ、及び連続する必要はないがデータを受けとる第 2 フエイズ)。第 1 フエイズの間、バス 1 4 を制御するプロセッサはバス作動線 9 8 の電位を低い状況にしておく。アドレスが送られた後、このプロセッサは、バス作動線 9 8 の電位を上げる。線は花輪状に連結しているので、バス作動回路 9 8 の高論理状態は 1 つのプロセッサだけによりただちに受けとられて、このプロセッサは制御メモリへアクセスするか又はバス作動線 9 8 の花環状の連結の次の連結の電

位をあけるかのうちいずれかを実行する。あるプロセッサが制御バスを使用していてバス作動線が循環してそのサイクルの間にこのプロセッサに戻つてくる場合(即ち他のプロセッサがいずれも制御バスを使用する必要のない時)バスを利用しているプロセッサは信号をうけとり、制御バスの同期を適正に保つ為、信号を改めて発生する。制御バスのアクセスにはラウンドロビン(round-robin 即ち優先性を決めないで)仲裁が行われる。従来の型式と同様に、アドレス準備線 1 0 0 及びデータ準備線 1 0 2 を使用してアクトタイプをプロセッサ間及び / 又は制御記憶管理回路 9 2 間での通信に同期を行う。この他のデータ準備線及びアドレス準備線を使用して割込みの転送期間中のアドレスとデータの間の伝達を行う。

最後に、制御バス 1 4 は、花輪状に連結する、割込み準備線 1 0 4 も有している。花輪のように連結することによつて割込みを送ろうとしているプロセッサ間でラウンドロビン型の仲裁を行つてゐる。プロセッサが制御バス 1 4 を支配して、た

だちに割込みを発生する時、プロセッサは、花輪状に連結する割込み準備線 1 0 4 IC ゼロまで引き下げる信号を送る。割込みを送るプロセッサは制御アドレスバス 8 4 を支配する前に割込みバス 8 8 を引き継ぐことができる。割込み元プロセッサ(interrupting processor) が割当てバス 8 6 を支配する時、発生した割込みの割当て先である外部割込み管理回路 7 6 上のプロセッサに対応する割当てバス 8 6 内の線の電位を上げる。割込みを発生した後、発生元のプロセッサは、自分が割込みの発生元であることを割込みバス 8 8 上に示し知らせる。

割込みが開始された後、他の割込みは少くとも 2 バスサイクルの間禁止される： 1 サイクルは割込みを送る為で 1 サイクルは、受け取り側プロセッサ(割込み先 Interruptee) からの応答を発生元プロセッサ(割込み元 Interruptor) が受けとる為である。割込みをバツフアすることだけが必要な場合、割込み先の割込み管理回路は割込みのプロセスは可能で 1 から 4 の追加バスサイクルが

過ぎるまで他の割込みを受けとる用意ができている。割込みの受け取り側がロックステップ又はバイオラインモードで連結するようになつた場合、即ちコンテクストスイッチが必要とされる場合、割込みバス88は、必要なコンテクストスイッチを実行する為に使われるタイミングの間ブロックされる。コンテクストスイッチの長さは、割込まれたプロセッサ内にどれほどのコンテクストが（即ちレジスタの内容、ALU状況等）保持されているかに左右される。以下で説明する通り、いくつかのコンテクストスイッチはプロセッサのコンテクストを本質的に完全に変更することが必要である一方、他のスイッチは最小の変更のみを要する。最も短いコンテクストスイッチでも通常3又はそれ以上のバスサイクルを必要とする。この遅延が割込み信号の帯域幅を限定するが、割込みがフルに有効な帯域幅を占めるとは予想されないのでこの方法は適していると思える。この遅延は長い実行を通しての割込み信号の運行の平均したレートを落とさずに突然の割込みの発生をスムーズ

にする目的を果たしている。

割込みは、それぞれの命令のシーケンス（即ち各々の「プロセス」）を開始する為に使用される。上記で示した様に、割込みは優先レベルを特定し、データルーチンバス90内を移動しどのプロセッサがアドレスされるかを特定する4ビットコードを有している。もし割込みによつてアドレスされる全てのプロセッサが有効な状態にあるならば、（即ち、これより高い優先性のタスクは手元にない場合）プロセス内の命令シーケンスの実行が開始される。もし、実行すべき命令が制御記憶回路38に存在している場合、この命令は適当なマイクロシーケンサ36によつて次々と読み出される。実行すべき命令がRAMメモリ66内にある場合、この命令は、適当なメモリスケデューラユニット68及びバス制御ユニット58によつてRAMメモリから次々と読み出される。各々の影響をうけるプロセッサ内のメモリマッパー34はこれらの命令をRAM命令レジスタ20を通しDLA22に転送する。DLA22はこれらのRAM命令を

ROMアドレスに対する翻訳を行つて更にこれらのROMアドレスはマイクロシーケンサを介してアクセスされている。また、RAM命令は、DLA22によつて直接コードすることができます。ROM内に記憶される制御ワードはプロセッサ仕様フィールドを有していない。しかし、制御ワードは、唯一固定された定型部分がオプコード（op code）である短いビットのストリング（好みしくは32ビット）である。ROMから呼びだされた制御ワードがプロセッサのDLA22に回帰され、制御ワードと共にRAMから受取つた命令によつて特定されるあらゆる定数及びオペランダがDLA22によつて翻訳される。DLAは、OPコードと同時に例えばオペランドフィールド、定数フィールド、マイクロシーケンサ命令、メモリインターフェース命令、状況バス命令、（命令が割込みである場合の）割合及び優先性データ、割込み管理回路の制御の為の命令、スケデューラ、パレルシフタ等であるオプコード及び制御ワードに従つて残りの制御ワードフィールドを翻訳する。

命令ワードの適当な部分が更にコードされ、コード25及び26に制御されるDLAによつて適当なハードウェアに直接接続される。

もちろん、このマイクロプログラミング翻訳構造では、ハードウェアでの実行以前にこれ以上のステージを持つ翻訳機構を用いることも可能である。例えば、制御記憶回路38から読み出された命令は翻訳され、制御記憶回路38又はRAM66から読みだされた他の連続する命令の実行を要求するようになる。更に、チップ外メモリも命令の実行に使用される。例えば、アプリケーション言語から成る单一命令が非常に長々しいアルゴリズムを示している場合、制御記憶回路38内の相当する制御ワードは、翻訳されて、RAMメモリ66の特定ロックにあるサブルーチンをロードし、引き続きそのサブルーチンの命令を実行せよという命令が出る。もちろん、チップ外の記憶容量に記憶される命令はとりだされ以下に詳しくのべるよう前に割込み管理回路76及び/又は外部データポート72及び73を通つて実行され

る。

割込みプロトコールに関するこれ以上の説明は以下で示す。以下で示す R I C を異なるモードのオペレーションに変更する再構成機構は制御バスのオペレーションに関連づけて説明する。この点に於て、プロセッサ P R O - P R 3 の各々の構造についてもさらに詳しく説明する。

第2図からわかる通り、各々のプロセッサは、 D L A 2 2 及び共働デコード 2 5 及び 2 6 に加えて、フィードバック線 2 4 及び命令レジスタ 1 8 及び 2 0 、割込み管理回路 1 2 、スケデューラ 1 6 、メモリマッパー 3 4 、スタック/レジスタファイル 3 2 、バレル(barrel) シフタ 3 0 、 A L U 2 8 、シフトレジスタ 4 4 及びフラグレジスタ 4 6 を有している。後半の構成部は従来通りであるが、便宜上さらに明らかにする為に詳細に説明する。例えば、第9図は、 A L U 2 8 をさらに詳細に示している。2本のバス 1 0 8 及び 1 1 0 は、プロセッサ内他のプロック例えばバレルシフタ 3 0 からの入力として提供されている。この

バスはそれぞれの入力ラッチ 1 1 2 及び 1 1 4 を介して、 P (伝播) 機能ブロック 1 1 6 、 K (選択) 機能ブロック 1 1 8 、 C (衝上げ遮断) ブロック 1 2 0 及び R (結果) 機能ブロック 1 2 2 に連続して接続される。伝播機能ブロック 1 1 6 は、 P 制御線 1 2 4 によって制御され、選択ブロック(kill block) は K 制御線 1 2 6 によって制御され、結果ブロックは R 制御線 1 2 8 によって制御される。これらの制御線は D L A 2 2 から A L U 2 8 までを接続している。更に、衝上げ入力(carry in) 線 1 3 0 及び衝上げ出力(carry out) 線 1 3 2 が提供されていて、 C ブロック 1 2 0 を状況マルチプレクサ 4 8 及び 5 0 に接続する。(状況マルチプレクサ 4 8 及び 5 0 のオペレーションは、状況バスプロトコールに関連して以下でさらに詳しく説明する。) R ブロック 1 2 2 の出力はデュアルバスであつて、フラグ発生論理 1 3 4 を通つて出力ラッチ 1 3 6 に接続されている。フラグ発生論理 1 3 4 は状況とエラーの情報を計算し D L A を介しプログラム状況ワードを提

供している。(D L A 2 2 内の) フラグ発生論理 1 3 4 は、フラグレジスタ 4 6 に接続され、出力ラッチ 1 3 6 はシフトレジスタ 4 4 に接続される。次にシフトレジスタ 4 4 はバス A 及び B (1 0 8 及び 1 1 0) を通つてレジスタファイル 3 2 に接続されるか又はメモリマッパー 3 2 を通してバス制御ユニット 5 8 に接続されるので、 A L U の出力は、データバス 5 6 内を転送されるか又は、将来のオペレーションで使用する為にプロセッサ内に記憶される。

第10図は、 A L U 2 8 内の機能ブロック 1 1 6 、 1 1 8 又は 1 2 2 の一つの一部分の部品レベルの構造を示す。第11図は、 A L U 2 8 内の衝上げ遮断ブロック 1 2 0 の一部分の構造を示す。マイクロプロセッサの構造に関するこれ以上の参考は例えばオズボーンアンドアンシェートに示され、これは参考としてここにいつしょに示す。

第12図は、データバスの概略図である。入力信号は、バス 1 0 8 及び 1 1 0 から入力され、これらのバスにはそれぞれ入力ラッチ 1 3 0 及び

1 4 0 が接続されている。これらのラッチはバレルシフタ 3 0 の入力と接続する。バレルシフタ 3 0 は、制御線 1 4 4 及びパラメータ入力 1 4 6 によつて制御されている。これらはまた両方とも D L A 2 2 から提供されている。パラメータ入力 1 4 6 は、例えばシフトカウントの為、及び抽出の限界(extraction boundaries)の為の値を与えている。バレルシフタ 3 0 はバス A 及びバス B に出力を与えている。 A L U は、衝上げ、オーバーフロー、負数及び/又はゼロといったような演算状況信号を発生している。 A L U は、整数のオーバーフロー、十進数の衝上げ等といったとの他の割り込み信号も発生している。このような信号は、 D L A に送られて D L A は、これらの信号に従つて論理オペレーションを実行し信号を発生している。この信号は、フラグレジスタ内でビットをセットする。この機構によつて状況セット信号を発生させ、例えばコンピュータ構造の中を循環させる。

第13図は、バレルシフタ 3 0 によつて形成さ

れるシフトオペレーションで使用する用語を示している。従来、左シフトは、最上位ビットに向かつてシフトすることを示す為に使用される。即ち、最上位ビットは左シフトに関しては先頭ビットである。同様にして最下位ビットは、左シフトに関する最後尾ビットであつて右シフトに関しては、先頭ビットである。第14a、b及びc図は、シフトオペレーションのとの他のいくつかの例を示している。第14d図は、最後尾ビットにゼロが入り、先導ビットが欠けている左シフトを示している。

第14b図は左循環オペレーションを示しており、入力ラッチA 138の最上位ビットは、入力ラッヂB 140の最下位ビットにマッピングされ、入力ラッヂB 140の最上位ビットは入力ラッヂA 138の最下位ビットにマッピングされ、他のビットはそれに従つてシフトされている。第14b図は、1ビットの循環オペレーションを示しているが、循環オペレーションは、パレルシフタ内の1クロックサイクル期間中に16ビットまで右又

は左に動きうる。

第14c図は、シフト及び連結オペレーションを示しており、ここで入力ラッヂ138は右にシフトし、連結入力線(link-in line) 152が最後尾ビットの新しい内容を与えている。先頭ビットの内容は、連結出力線(link-out line) 154を通り出力される。本実施例に於て、連結入力152及び連結出力線154は、入力ラッヂB 140から接続されているので多重ビットシフト及び連結のオペレーションが実行されるが個別の連結入力及び連結出力線を代わるがわるに用いることもできる。

第15図は、パレルシフタ30によつて実行される抽出(extraction)オペレーションを示している。ここに示すオペレーションでは、パレルシフタ30は命令を受けて入力の3-11ビットを抽出している。これらのビットは出力ラッヂ150に先頭ビットとして接続される。このような機能をパレルシフター30に実行させる為に必要とされる回路は既知のように例えば先に参照と

して示したミード及びコンウェイの「VLSIシステム入門」に示されている。

メモリマッパー34はプロセッサ構造としてはよく知られる機能を形成する單なるありふれた構造である。メモリマッパー34によつて受けとられる仮想的(ヴァーチャル)アドレスは共働するメモリオペレーションによつて16の記憶された仮想アドレスと並列に比較が行われ、もし受取つた仮想的アドレスが記憶されていた仮想的アドレスの一つと整合する場合、これに相当する地域的アドレスが使用され所望のワードが地域メモリーから呼び出される。整合するものがない場合、仮想的アドレスは(ページテーブル索引のような)テーブル索引によつて翻訳され実際のアドレスを決定し、レジスタファイルの1つに隨意にロード可能となる。この意味で、メモリマッパー34は内部的に記憶されるメモリユニットと外部的に記憶されるメモリユニットを區別しているといえる。故にメモリマッパー34はテーブル検索をこま切れにする(hashing)ことができるよう構成さ

れ、ハッシュテーブル内の位置を選択する為に使用されたハッシュ機能はファームウェアによるプログラムが可能である。ハッシュテーブルはマルチウェイセット共働メモリとして作られている。ハッシュ機能の出力は並行して検索が行われる多重位置を指示する。所望のアドレスがハッシュテーブルで多重位置に於て行われた比較と整合しない場合所望のアドレスは(設計上)テーブルに存在しないということなのでこれ以上の検索は必要なくなる。故にこのマッピング機能は様々なサイズのメモリのマッピングを行う。ハッシュ機能が記憶容量を補助する為に使用される場合、ハッシュテーブルエントリーが数10バイトのメモリユニットを指示する。ハッシュ機能が仮想的メモリ翻訳ルックアップサイドバイスを補助する場合、メモリユニットは典型的に512バイトから2,048バイトまでになる。メモリマッパーに適当な構造をもつ物としては、ナショナルセミコンダクタ社のチップ番号16082がある。

割込み管理回路12は制御バス14を通つて転

送されてくる全ての割込み信号を直接受取つてゐる。(割込みプロトコールは以下でさらに詳しく説明する。) 割込み管理回路は、各々の割込みごとに適当な割当てピットをテストし、その割込み管理のプロセッサが割込み先であるか否かを調べアドレスが適正である場合には、新しい割込みの優先性と現在実行されているプロセスの優先性を比較する。新しいプロセスの方が高い優先性を持つ場合、割込み管理は割込みを受け入れ、さもなければ割込み管理回路 12 は、ワイヤー ANDED 線の電位を引き下げて割込みを拒絶する。

スケデューラ 16 は 256 ピットシフトレジスタ内の優先性によつて割込みをパッファする。プロセスが効果に行われている時、スケデューラ 16 はシフトレジスタ全体をスキヤンし、次に高い優先性を持つプロセスを見つける。現在のプロセスが完了又は時間切れの場合、スケデューラ 16 は次に高い優先性のプロセスの優先性を使つてこのプロセスのコンテクストを示すポインタを含むテーブルにアクセスしている。適当なコンテ

クストは、スタック／レジスタフアイル 32 から、RAM メモリ 66 から又は外部メモリから再び呼び出される。

第 18 図は、上記で示したデータバスの総体的な全体図を示す。バス A 及び B (108 及び 110) は、主要な構成部であるデータバス、即ちスタック／レジスタフアイル 32、ペルシフタ 30、ALU 28 及びフラグ及びシフトレジスタセット 44 及び 46 の側面に設けられる。更に左側ポート 170 はデータバスの入力及び出力の末端に設けられている。好ましい実施例ではないが、右側ポートを用意する選択も可能である。このあるプロセッサの右ポートは、隣接するプロセッサの左ポートに接続する為に使用される。例えば、プロセッサ PR3 の右側ポートは、プロセッサ PR2 の左側ポートに接続される。リテラルレジスタ 174 もまた定数を発生させる為に提供される。入力はメモリマッパー 34 から接続する左ポート 170 に接続され、右側ポート 172 からの出力もメモリマッパー 34 を通つて接続される。

スタック／レジスタフアイル 32 は、2 本のバス 108 及び 110 を十分に利用できるようにする為にデュアルポートのレジスタフアイルでなくてはならない。さもなければレジスタフアイル 32 は従来と全く同じである。

データバス 56 の組織は、RAM メモリ 66、バス制御ユニット 58 及びメモリスケデューラユニット 68 のオペレーション及び構造といつしょに以下で説明する。

第 16 図は、データバス 56 の構造を示している。データバス 56 は 16 本のアドレス線 156、16 本のデータ線 158、ラウンドロビン仲裁線 160、4 本のソース線 162、モデュールビギー線 164、ソース状況線 166 及び BCU モード線 167 を有している。別々のアドレス線 156 及びデータ線 158 によつてデータアクセスのオペレーションが单一バスサイクルで実行可能となつてゐる。この場合チップ上の RAM メモリ 66 がアクセスされるので少くともメモリアクセス速度はこれを可能にしている。こうする代わりに、

アドレス線及びデータ線 156 及び 158 を多重構造にし領域を節約することができる。ラウンドロビン仲裁線 160 は 4 つのプロセッサ PR0～PR3、4 つのメモリモデュール 60、及び外部データポート 72 及び 73 の間を花輪のような形で連結しているので、データバス 56 へのアクセスは効率的に仲裁が行われる。4 本のソース線 162 は、現在転送中のメモリアクセス要求のソースであるプロセッサ又はモデュール又はデータポートを特定している。その代わりに制御線 164 の状況に従つて、ソース線 163 を使って、どのメモリモデュール 60 がメモリモデュールによつて次にサービスを受けるのかを示している。10 本の割あて線 168 は、どのプロセッサ、モデュール又はポートがデータを受けるかを示す。ソース状況線 166 は(もし低論理であれば)ソース線 162 は更にプロセッサ、モデュール又はデータポートのどのメモリの要求が次にサービスを受けるのかを示す。ソース状況線 166 が高電位状態にあるということは、ソース線が現在のソースを

示していることを表わしている。また、メモリの読み出しに使用されるか又はメモリの書き込みに使用される為バスが停止状況(Idle)にあることを示す2本のバス状況線165も提供されている。

第17図の流れ図はさらにデータバス56内の種の利用をさらに明らかにしている。一度、いずれかのソース(プロセッサPR0-PR3、RAMメモリモデュール60、又はデータポート72又は73)がデータバスへのアクセスを受けると(即ち、一度、そのソースが花輪状連絡線160から高電位信号を受けとると)ソースは線162上IC4ビットロードを示す。ソースがRAMメモリモデュール60であつて、対応するメモリスケジューラユニット68が未解決のメモリ要求を有している場合、ソース線162はどのプロセッサ又はメモリモデュールが次にサービスを受けるかを示すようになり、線166は電位が引き上げられる。この後で、また未解決のメモリ要求を持つメモリモデュールがソースでない場合でも、メモリアクセス割当て線168の電位が引き上げられて

読み出されるべきデータに関する10個の割当てから成るいずれかの組合せを示す。運動回路(Interlock)は、データの完全性を保つ為に提供されている。もし割当て先に未解決のメモリ要求を持つメモリモデュール60を1つまたは2つ以上が含まれる場合、ワイヤANDED線であるビジー線164の電位が引き上げられ、同一のメモリスペースに対し同時に読みこみ及び書き込みを行われることがないようにしている。

第19図は、RIC内のRAMシステムの組織を総体的に示す概略図である。各々のプロセッサPR0-PR3は、メモリマップ-34を介して、データバス56へのインターフェースとして働くバス制御ユニットBCU58に接続される。各々のBCU58は対応するメモリスケジューラユニットMSU68にも接続され、BCU58及びMSU68の各々は両方とも対応するRAMメモリモデュール60に接続される。

プロセッサが自分のメモリモデュール60にアクセスする時、プロセッサは自分のBCU58を

通つて自分のMSU68に接続される。MSU68は未解決のメモリ要求があるか否かを決定する。未解決のメモリ要求が存在しない場合、アクセスがただちに発生する。アクセスが決定されていない場合、MSU68はメモリのサービスを最初に要求したかを示すタグ(tag)を持ち行列にする。MSU68は前に来たものから先にサービスを行なうスケジュール方針に従つて要求を持ち行列にする。特定の要求が列の先頭まで達した時MSU68がこのことをプロセッサ又はデータポートに信号で知らせる。このプロセッサ又はデータポートは再び要求を発生し、メモリアクセスがただちに行われる。プロセッサがそのプロセッサ以外のメモリモデュールにアクセスする時、バス制御ユニット58はデータバス56を介して通信が可能になるよう構成されなくてはならない。故に例えばプロセッサPR3がプロセッサPR1に相当するメモリモデュール60にアクセスする場合、PR3に対応するバス制御ユニット58は、プロセッサPR3をデータバス56に接続するよ

うに構成され、PR2に対応するBCU58は、信号をデータバス56によって転送できるように構成され、プロセッサPR1に対応するBCU58は(プロセッサPR3に向かう方向で)データバス56をプロセッサPR1に対応するRAMメモリモデュール60に接続するよう構成されなくてはならない。上記のように、プロセッサはまずラウンドロビンのオーダーでスケジュールされた共有のデータバス56にアクセスできるまで待機している。プロセッサはバスにアクセスした後で、プロセッサはメモリ情報及び割当て先メモリモデュールを示す割当てタグを連送する。各々のプロセッサ又はデータポートは、一度に1つだけ未解決のメモリ要求を持つことができるので、どのメモリモデュールも最大で6つまで未解決の要求を持つことができる。各々のプロセッサのメモリインターフェースは、データバス56を通過して送られてくるメモリ制御信号を監視する回路を有している。この機能はメモリマップ-34によつて実行される。

R I C の内部 RAM メモリは、好ましくは最小の微細加工特徴が 1 ミクロメートル (λ = 0.5 ミクロン) である (パストライバーのような CMOS 技術を実現する高出力構成素子を用いた) NMOS R I C の中に作られた 16 K バイトのダイナミック RAM である。

故に、BCU58 は全てのプロセッサをそれぞれ隣接するメモリモデュール 60 にアクセス可能とする一方、各々のプロセッサをデータバス 56 によつてこれ以外の離れたメモリモデュールにもアクセス可能にするという重大な役割を果たしている。BCU の構造は第 20 図及び第 21 図に示す。各々の BCU は、3 つの両方向に導通可能な (バイオペレーティング) スイッチ 178、180 及び 182 を有している。短いバス 184 は BCU 58 とそれとの対応するプロセッサのメモリマッパー 34 を接続している。第 2 の短いバス 186 は、対応するモデュール 60 のアドレスレジスタ 62 及びデータレジスタ 64 に接続される。バイオペレーティングスイッチ 178 はこれらの短い

バスの両方に接続され、バイオペレーティングスイッチはある位置で單にメモリマッパー 34 をレジスタ 62 及び 64 に直接接続するサービスを行つてゐるので各々のプロセッサはそれに對応するメモリモデュール 60 に並列にアクセスすることができる。他の位置のバイオペレーティングスイッチ 178 は、MSU68 (短いバス 186 を介し) データバス 56 に接続するサービスを行つてゐる。同様に、スイッチ 182 は、(対応するプロセッサがその対応するメモリモデュールにアクセスしている時) データの流れをロックするか又は、単に短いバス 184 をデータバス 56 に直接接続するか又は、短いバス 184 をバイオペレーティングスイッチ 180 が封鎖モードである時に絶縁されている 2 つのデータバス 56 の組に方向を指定して接続するか、これらのいずれかを行つてゐる。このオペレーションモードは第 21 図に示されていて、バイオペーリングモードでの RIC のオペレーションが可能にしてある。この場合、各々のプロセッサはオペレーションの前段階から

データを受けとり、同時にオペレーションの次に続く段階にデータ出力の流れを与える。故に、バイオペーリングモードは、隣接するプロセッサの個別を組の間を異なるデータの流れを並列に転送させてゆくことを必要とし、この機能は、バイオペレーティングスイッチ 180 をロックモードにすることによつてまたバイオペレーティングスイッチ 182 を方向を指定して接続することによつて実現される。

プロセッサが離れたメモリモデュールにアクセスする時、異なる 3 つの構造から成る BCU が必要とされる。例えば、プロセッサ PR3 がプロセッサ PRO IC 対応するメモリモデュール 60 にアクセスする場合、PR3 に於る BCU58 は PR3 をデータバス 56 に接続しなければならないし、PRO IC 対応する BCU58 はデータバス 56 を対応するレジスタ 62 及び 64 に接続しなくてはならず中間の BCU58 は單にデータバス 56 のクリアオペレーションを可能にする必要がある。本実施例に於て、BCU58 に必要な調整はテー

タバス 56 内の BCU モード制御線 167 によつて行われる。いずれかのプロセッサがデータバスを制御する時、そのプロセッサは更に BCU モード線 167 を使つて全ての BCU を制御することができる。仲裁線 160 がプロセッサがデータバス 56 を制御していることを示す時、全ての BCU 58 に於て満たさなくてはならない、唯一の必要条件は、バイオペレーティングスイッチ 180 がデータバス 56 をロックしていないということである。更に、各々の BCU58 内のバイオペレーティングスイッチ 178 は、データバス 56 をレジスタ 62 及び 64 に接続するよう作動している。故に各々のアドレスレジスタ 64 は、要求されたアドレスを取り更に適當な MSU68 がその中のメモリモデュール 60 内の制御レジスタ 70 を作動させて必要なデータを供給している。BCU58 を制御する上記のシステムはできる範囲で最も有效な例というわけではないが、追加の制御線の必要性を最小にしてプロセッサ間にかかる干渉を防止している。好ましくは、各々の

M S U 6 8 は直接データバスのバス状況線 1 6 5 に接続され、R A M 制御レジスタ 7 0 が必要とする読み出し／書き込み及び作動ビットを受取つている。各々のM S U 6 8 は対応するプロセッサに対し直接接続する2本の線を持つて構成され、R A M 制御データを与えてデータバス 5 6 を使用せずに地域的なアクセスを行つている。

メモリスケデューリングユニット(M S U) 6 8 では、第22図で示すようなオペレーションが行われる。データバス 5 6 がアクティブであつて、B C U モード制御線 1 6 7 がアクティブにされた時はいつでも、M S U はアドレス線 1 5 6 の先頭ビットを見てアクセスがこのM S U に制御されるメモリモデュール 6 0 に対するものであるか否かを決定している。もしそのメモリモデュール 6 0 に対するものであれば、次は、メモリの要求が未解決となつてゐるか判断する。この場合、最後の要求を出したプロセッサまたはデータポートは、先に入つたものが先に処理される形式に配列される。最大で6個のソース(4つのプロセッサ

及び2つのデータポート)を待ち行列に並べられる必要があるので、小さなシフトレジスタがこれを実行する。同様にしてもし他のメモリの要求が既に未解決のままである場合、地域的なプロセッサによつて要求されるメモリアクセスは延期され、ビジー信号がもどつてくる。メモリ読み出しが実行される時は、データバスが使用可能になるのを待つてから、データワードを割合で線 1 6 8 を通つて指示された割合で先に転送しなくてはならない。書き込みが実行される場合には、回帰信号は必要ない。どちらの場合でも、M S U 6 8 はただ待ち行列レジスタから次の未解決のメモリの要求を引きだし、そのソースに信号を送つてメモリアクセスが現在可能であることを知らせる。M S U 6 8 は次のソースが要求を再び発生するまで待機し、それから上記のように適当なメモリのアクセスを行わせる。

当分野に通常の知識を持つ者には明らかのように、アドレスレジスタ 6 4 、データレジスタ 6 2 及び制御レジスタ 7 0 はM S U 6 8 とそれに対応

するメモリモデュール 6 0 の間のインターフェースとして使用される。

本実施例において、各々のメモリモデュールは、16ビットアドレスでアドレス指定される。これによつて、4つのプロセッサの各々に対し直接アドレス可能な領域を場合によつて64Kバイトまで増やすことが可能である。しかしながら、プロセッサは2種類の型のアドレス、即ち16及び32ビットを維持している。プロセッサ自身のメモリモデュールに直接アクセスする為には16ビットのアドレスが使用される。32ビットアドレスは外部メモリへのアクセスの為使用される。他のメモリモデュールにアクセスする場合は、プロセッサは16ビットのアドレスを送り、所望の内部メモリモデュールと結合する割合で信号を与えることでメモリモジュールを指定する。32ビットのアドレスは、プロセッサの制御に従つて外部アドレス又はマッピングアドレスのうちいずれかとなる。外部アドレスとなるようアドレスが指示される場合、アドレスは外部メモリインターフェースに送られてプロセスが実行される。さもなければアドレスはメモリマッパーに送られる。メモ

リマッパーはアドレスが内部のものか外部のものかを決定する為連合して探索を行う。内部のものであれば、関連した内部アドレスは外部メモリインターフェースに送られる。

(状況バスのエンド・アラウンド・ループ 54 を含む) 状況バス 52 は 4 つのプロセッサ PR0 ~ PR3 及び外部状況ポート 74 及び 75 を相互接続している。状況バス 52 は桁上げ状況線 190、桁上げ入力出力線 191、オーバーフロー線 192、負数線 194 ゼロ線 196 プロセッサ同期線 198、及びシフト循環線 199 から成る 7 本の線のみを有している。故に、エンド・アラウンド・ループ 54 を含めても状況バスは、たつた 14 本の広さしかない。各々のプロセッサは、プログラム可能なスイッチである対応する一対の状況マルチプレクサ 48 又は 50 を有している。これらのスイッチは、選択的に且つプログラムに沿つて各々の ALU 28 の状況出力又は入力線を状況バス 52 及びエンド・アラウンド・ループ 54 の両方を含む状況バス線に、いずれかの方向を指定して接続

している。第 23 から第 25 図は、状況マルチプレクサ 48 及び 50 で選択された状況バス接続のいくつかの例を示している。プロセッサが独立して動作する時、第 23 図で示すように状況線の接続は必要とされず、状況マルチプレクサ 48 及び 50 は状況バス 52 及び 54 に開路を作りだす。隣接するプロセッサがバイオペーライン構造で作動する時、(例えば PR3 の) データ出力が PR2 の入力として与えられている場合、プロセッサ同期線 198 のみが接続される必要がある。最後に、プロセッサ PR3 及び PR2 が 32 ビット又はそれ以上の規模のプロセッサの一部としてロジクステップ構成で作動される場合、プロセッサ PR2 の状況出力は、全てプロセッサ PR3 に対する状況入力として接続される。プロセッサ同期線は、ロジクステップモードで使用され現在のオペレーションが完了する前には確実に新しいオペレーションが開始されないようにしている。例えばロジクステップ構成のプロセッサがアクセスしている全てのメモリモデュールに対し、他のソースから

の未解決なメモリ要求が不均一に配分されることによつて、全てのプロセッサーは、そのメモリのアクセスを同時に受けとることはない。状況マルチプレクサ 48 及び 50 によるプログラム可能を相互接続の状況は、DLA 22 から接続される制御線によつて管理される。状況線 190 から 196 は、ALU 28 及びフラグレジスタ 46 からの状況入力及び出力に接続され、シフト / 循環線 199 はパレルシフタ 30 のリンクイン及びリンクアウトビットに接続され、プロセッサ同期線 198 は DLA 22 に接続される。外部状況ポート 74 及び 75 も同様のプログラム可能な接続回路を有している。

本発明である再構成可能な多重プロセッサ機能を提供する為共働する上記で示したような構造的特徴はこれからさらに詳しく説明する。

第 26、27 及び 28 図は、本発明である再構成可能な集積回路のオペレーションの 3 つの主要なモードを示している。第 26 図は、全体的に独立するモードの組織を示している。このオペレー

ションではプロセッサ PR0 ~ PR3 は单一チップ上に配置された実質的に 4 つの独立するプロセッサとして働いている。4 つ別々の命令の流れが別個のプロセッサ PR0 ~ PR3 に与えられ、独立するプロセッサ間に必要とされる唯一のインターフェースは、制御バス及びデータバスプロトコルによつてアクセスされるものである。

同じ構造はまた配列処理オペレーションを行えるようになつている。配列処理に於て、プロセッサ間の相互接続は独立モードの場合と同じである。配列処理と異なる点は、各々のプロセッサが、同じ命令の流れを受けとつているということである。もちろん配列処理はまたプロセッサのロジクステップで接続されるプロセッサの 2 次的な組(例えば 2 つの 32 ビットプロセッサ)に基づき構成される。

第 27 図は内部的なロジクステップモードで作動される RIC の例を示す。この例では、4 つ全部のプロセッサが再構成されて单一の 64 ビットプロセッサとして作動するようになつている。こ

の構成では、制御バス 1~4 が单一の共通な命令の流れを運んでいて、この命令の流れを全てのプロセッサが受け取る。上記のように必要な同期桁上げ及び状況ビットは状況バス 5~2 及び 5~4 によつて通信が行われる。更にシフト及び循環連結が設けられているので望みのビット又は循環オペレーションをどれでも 64 ビットワードでデータバス 5~8 を介し実行することができる。（この連結に関しては、データバス 5~6 は、上記で示したようにバイプラインモードで構成される。）1 ビットシフト及び循環がシフト／循環線 1~9~9 によつて実行される。RIC をこのモードに正確にプログラムすることによつて、各々のプロセッサが 64 ビットワードの 16 ビットセグメントの読み出し又は書き込みを行い全てのプロセッサが 4 つの RAM メモリモデュールの対応する位置でこの読み出し又は書き込みを同時に実行するので、單一クロックサイクル内において RAM メモリ 6~6 に対する 64 ビットでのアクセスが可能となる。

第 28 図は、バイプラインモードで作動するよ

う構成された RIC の例を示す。この構成において、4 つのプロセッサは、もともとは单一のデータの流れであつた連続するオペレーションを実行している。即ち、全体的な命令の組は、（プログラマーによつて）4 つのオペレーションの組に分割される。この 4 つのオペレーションの組はそれぞれほぼ同じ時間を必要とする。そこで 4 つのプロセッサは各部分が連続するデータの流れのうち、分割された命令プロセスの一部分のみを各自で実行する。故に、このようにして小分けされた命令の組を用いてデータの流れを操作しなければならない場合、スループットは 4 倍になる。命令の組はプログラマーによつて 4 つの命令のサブセットに分割されるので、チップレベルでは、命令の流れは単に 1 つ 1 つがバイプラインモード内の各々のプロセス段階に向けられた 4 つの別々で個別の命令の流れとして現われる。上記で示した通り、BCU 5~8 はデータバス 5~6 を小分けして、バイプラインモードで連続するステージの間（即ち、隣接するプロセッサの間）をデータが直接の転送

できるよう構成される。更に、ロジクステップ及びバイプライン構造を組合せることも可能であるので、RIC は例えば 32 ビットプロセッサを接続して 2 段バイプラインを作つて作動するよう也能する。この場合、次々とバイプラインで接続されるステージの間でのデータ転送はデータバス 5~6 で多重にして行われる必要がある。故に、この実施例では、プロセッサ PR 3 及び PR 2 が 2 段の 32 ビットワードバイプラインの 1 段目を形成する場合、プロセッサ PR 3 はプロセッサ PR 1 に対応する割合で線 1~6~8 の電位を引きさげながら第 1 段の出力の最上位ビットを送信し、続いて PR 2 がプロセッサ PR 0 に対応する割合で線 1~6~8 の電位を引き下げながらデータ線 1~5~8 を使つて出力ワードの最下位 16 ビットを出力する。

再構成を行う為には、3 つの主要な型の割込みが使用される。第 1 の型の割込みは、他のプロセッサ（即ち、割込み先（Interruptee））の資源にロックステップモードのオペレーションを設定するよう要求する。このモードでは、1 つのプロ

セッサが共働単位の中の他のプロセッサのオペレーションを支配していて、故にこのプロセッサはロジクステップでの共働単位内のマスタプロセッサと呼ばれる。この型の割込みのプロセスを（プロセッサがコンテクストスイッチを実行した後で）すぐに実行することを全てのプロセッサが受理する場合以外は、割込みはこれ以上の動作をおこすことなく、マスター プロセッサによつて後で改めて発生される。この場合、自分の割込みが拒絶されたマスタプロセッサは、そのプロセスをバッファの中に入力しておいて、さらにスケジュールを変更し、次のスケジュールによるプロセスの実行を開始する。その後再度割込みを送ることもマスター プロセッサの役割である。故にロジクステップでの割込みは、すぐにプロセスが実行可能な時のみ受け入れられる。「どこそこのプロセッサが必要とされている」「自分のプロセッサは、今は使用可能である」「自分のプロセッサを解除せよ」と及ぶ「どこそこのプロセッサーが解除される」等といったオペレーションを意味するプロセッサ

間での割込みの必要性を最小限にして、このプロトコールはプロセッサ間の通信を最小にしている。これによつて割込みに使用されるバスサイクルの数が減つてプロセス及び割込みのスケデューリングが複雑でなくなつてゐる。単に拒絶された割込みをパッファしたり、延期したりすることは、上記で示した選択しりる例に比べて複雑なプロセスではない。

ロックステッププロセスでの割込みの為に侵するコンテクストスイッチは他の型の割込みコンテクストスイッチより少くてすむ。プロセッサがロックステップに構成される場合、マイクロシーケンサ36は、ロックステップの全期間中は停止状態(Idle)に保たれる。実際のところ、マスター・プロセッサのマイクロシーケンサ36が他のプロセッサ内のマイクロシーケンサの機能を代行する。故に、この場合シーケンサは動かなくなるので、マイクロシーケンサのコンテクストスイッチはそのままでよい。もちろんこのことは真のマイクロ割込みが許可される場合のみ問題となる。即

ち従来装置におけるマクロ命令に相当するものを実行する間に割込みが発生可能である。本実施例では、マイクロ命令を省略すれば複雑さを減少できるが、これを使うことも可能である。マイクロ命令を使用する意識には、2つの要素が存在する。第1は、大規模CPUに多重チップを使用する場合のような応用例では、その性能を最大限に利用する為にマクロ命令が使用されないことである。第2は、あるマイクロ命令はストリング操作のように非常に長くなるということである。

ロックステップ構造の中の従属プロセッサ(slave processor)の割込み管理回路は自分を指示する割込みの存在を知る為に制御バス14の監視を続けている。しかしながら、もし、ロックステップで構成される共働単位内のいずれかのプロセッサがその共働単位内で現在実行しているプロセスより高い優先性を持つ割込みを受取る場合、従属プロセッサに向けられる割込みを監視しているマスター・プロセッサは、ロックステップで構成される共働単位内の全てのプロセッサにおける適

当なコンテクストスイッチを実行する。マスター・プロセッサーは、割込みのソースに通常の割込み応答を用いてそこから発生された割込みがただちに処理されることを知らせる。マスター・プロセッサは、また、割込みを必要としない共働単位内の全てのプロセッサを解除する。マスター・プロセッサは更に再びスケデュールを行う為に割込まれたプロセスをパッファに入力する。マスター・プロセッサは共働単位内の他のプロセッサの割込まれたプロセスを再び続行させる。共働単位内の全てのプロセッサが再び作動可能になつた後で割込まれたロックステップのオペレーションが再び続行される。

ロックステップの共働単位内で作動している従属プロセッサがロックステッププロセスより低い優先順位を持つ割り込みを受けとる場合、従属・プロセッサは、低い優先性のプロセスをパッファし、後にスケデュールし直す。故に、マスター・プロセッサが、共働単位内の他のプロセッサのいずれかに向けた割込みを確認する必要のある間は、ロックステップより低い優先順位を持つているいかな

る従属・プロセッサの割込みに対し、マスター・プロセッサの割込み管理回路はいかなる機能も実行する必要がない。それぞれの従属・プロセッサ内の割込み管理回路12は低い優先順位の割込みをパッファする。

第2の型の割込みは割込み先・プロセッサが実行する、いくつかの計算を特定することを要求する。(即ち、これはよく知られる「古典的」な割込みである。)この型の割込みの次には、実行すべきプロセスを特定する命令の流れが与えられる。この型の割込みは、その優先順位に従つてプロセスされる。このような割込みがサービスの為にスケデュールされた時には、割込みの後で与えられた第1番目の命令に従つてコンテクストスイッチを行つている。

第3の型の割込みは、パイプライン・プロセスを開始させる。パイプラインでの割込みの管理は、ロックステップ型での割込み管理と同様である。マスター・プロセッサがパイプラインの割込みを送り出すと、これを受けとつた全てのプロセッサは、

自分がパイプラインプロセスに参加できるかを信号で知らせる。受取つたプロセッサが全てそろつて参加できない場合、割込みは無効となつて後で再び続行される。同様にパイプラインプロセスにおけるマスター・プロセッサは、共働単位内のいずれかのプロセッサに向けられる割込みを監視してパイプラインプロセスより高い優先順位を持つ割込みを実行している。従属プロセッサは低い優先性の割込みのみをバッファする。パイplineでの割込みの制御とロックステップでの割込みの制御との間の主な違いは、パイpline割込みプロセスでの従属プロセッサがそのそれぞれの持つマイクロシーケンサ36を使用し独自のマイクロ命令の流れを実行していることである。故にそれぞれの従属プロセッサのマイクロシーケンサ36内に含まれるコンテクストは保持されたままである必要がある。

資源が共用されている場合、前に述べたようにアッドロックの発生は、非常に危険であつて必ず避けなければならない。例えばプロセッサPR1

及びPR0がそれぞれプロセッサPR2及びPR3、両方の資源を使いたい場合、またプロセッサPR0がプロセッサPR3を支配しようとしている一方でプロセッサPR1ができ続きプロセッサPR2を支配している場合、もしもプロセッサPR1及びPR0がそれぞれの可動できないプロセッサPR2又はPR3が可動できるようになるのをただ待つようにだけプログラムされているとすると、アッドロックが起こりうる。本発明においては、いくつかの手段を講じてアッドロックを防いでいる。第1に各々の実行中のプロセス及び各々の割込みには、プログラムによつて独得な優先順位が与えられる。概念的には、各々のプロセスにそのプロセスの優先順位及びプロセスを開始させる割込みの優先順位と同一の名前をつけると考えることができる。システム内で実行中の全てのプロセスは、異なる優先順位をそれぞれ持つ為、より高い優先順位を持つ割込みが割合でプロセッサを先取るので行き詰まりは起こり得ない。本実施例に於ては、1回の割込み期間中には、アドレスバス

の8本の低いオーダーの線に示される256の優先順位がシステム内に存在できる。割込みが認められバッファされる時はいつでも、優先順位に関する情報もバッファされる。バッファされた割込みがサービスの為にスケジュールされる時、8ビットの優先性に関する情報を含む割込み制御ワードがとりだされプロセスを開始させる。

故に、全てのプロセス（即ち、命令の流れ）がゼロから255の間の優先性レベル（又は名前）を有する。この場合255が最も高い優先順位になる。どのプロセスもプロセス自体と同じ優先順位を持つ割込みによつて開始される。多重プロセッサプロセスにおけるマスター・プロセッサは、同じレベルの割込みによつて全ての必要とする追加のプロセッサに割込みを行う。ロックステッププロセスでは、同じマイクロ命令の流れが全てのプロセッサによつて実行される。ロックステッププロセスにおける各々のプロセッサは他の全てのプロセッサとまったく同じプロセスを実行しているものとして扱われる。（しかし、桁上げビットの

存否といつたロックステップ内の相対位置によつて時々わずかな違いはある。）ロックステップで接続するプロセッサ間における違いは、これらプロセッサの位置がプロセッサ間のハードウエアの相互接続を決定していて、マスター・プロセッサが共働単位内の全てのプロセッサに対しより高い優先順位の割込みを実行していることである。パイplineプロセスでは、各々のプロセッサは、同じ割込みで割込みが行われ、もともとは各々のプロセッサは同じ命令の流れを処理しパイplineプロセスを行つている。引き続きたいパイplineプロセス内の各々のプロセッサは、異なるマイクロ命令の流れを実行することができる。次に、プロセッサは元の共通なマイクロ命令の流れをそれぞれの持つ場所の数によつて分岐し、それに対応する適当な分岐を選択し各々のプロセッサに対する別々のマイクロ命令の流れを作る。パイplineモード内の各々のプロセッサは別々のマイクロ命令ルーティングを行うことができても、全てのプロセッサは、チップを管理するという目的では同じプロセ

スを実行していると考えられる。パイプラインでの共働単位内のマスター・プロセッサは、ロックステッププロセスと同様に単位全体に対しより高い優先性を持つ割込みが処理される。1つのプロセッサのみを必要とするプロセスは、多重プロセッサでのプロセスを管理する為に必要としたプロトコールは必要としない。

上記で示した優先づけ方法によつて生ずる拘束としては、制限なしにはプロセスを共用することができないことである。この制限とは、同一プロセッサ内で共用されるプロセスは一度に2回以上の発動は不可能であることである。この制限は、いかなるプロセスにも正式にあてはまるが、多層化した別々のプロセスが共用のルーチンを開始することができるので、この制限は、共用のルーチンに関してのみ重要である。この拘束によつて一つのプロセスの為に複数の状況を記憶する困難性を回避することができ、同じプロセスが多重に発動されたことを見分ける為に必要となる機構の必要性をなくしている。ルーチンを共用して循環を

可能にする望ましいこの特性は、この後に述べる方法によつてほとんどすべて実現できる、ルーチンが共用されるかあるいは回帰的に呼出される場合このようなルーチンが発動されるごとに特有な優先性レベルが与えられる。この解決法は重複する共用ルーチンに必要な制御を記憶する領域を節約することができる。このようなタスクを開始するにあたつては、優先性レベルが制御ワードへのアクセスを起こす。制御ワードにはルーチンの最初のアドレスを指示する区域がある。共用又は回帰的ルーチンは、全て制御記憶回路38内の同じ開始アドレスを指示する多重な優先性レベルを持つことになる。

256の優先性レベルを用意すればたいていの応用例には充分である。故に本実施例ではこれを採用している。しかし、もつとたくさんの優先性レベルを用意することが望ましい場合、例えば8ビットによる優先順位の特定より10ビットを使うことはもちろんともにならない問題である。

256の優先性レベルを用意することは一度に

256のみの有効なプロセスが存在することを意味する。有効でないプロセスは數に制限なく存在可能である。

例えば本発明による再構成可能なICを用いて32ビットCPUに対抗することを仮定する。再構成可能なICにおけるプロセスは以下のようなタスクが与えられている。即ち命令とり出し、コンテクストスイッチ、命令間の対抗、外部割込みレベルごとに1つのプロセス、自己テスト、リセット等である。この場合256のプロセスで適しているように思える。

各々のプロセッサ内の割込み管理回路12の主要なタスクは、割込み信号プロトコールに従つて信号を受取りまた発生することである。割込み管理回路12は割込み信号を送信及び受信していて、新しい割込みが受けとつた時はいつもスケデューラ16に信号を送り、現在実行中のプロセスの優先順位と比較した新しい割込みの優先順位を知らせる。スケデューラ16及び割込み管理回路12は両方とも現在実行中のタスクの優先順位を記憶

している必要がある。新しい割込みが現在実行中のプロセスを続行させる時、スケデューラ16はただちに新しいプロセスがシーケンサ36の内容を含めた全体的コンテキストを記憶することを必要とするか否か又は、部分的なコンテキストスイッチのみを必要とするかを確認しなくてはならない。必要なコンテキストスイッチについての情報は、高いオーダのアドレスビット84でコード化される。優先順位の特定には8ビットしか必要としないので必要なコンテキストスイッチの程度といつたような割込みに関する追加情報をコード化する為に6ビットが使用される。受取つた割込みの優先順位がより低いものであつてその為バッファされる場合、このようなプロセスは必然的にロックステッププロセスでないので、バッファされた優先順位が最終的にスケデュールされる時には、全部のコンテキストスイッチが必要となる。ロックステップのプロセスだけは、全部のコンテキストスイッチを必要としない。このような場合、スケデューラは適当なコンテキストを記憶し、現

在のタスクをバッファし、プロセッサが新しいプロセスを開始する用意ができたことを割込み回路 12 に知らせる。

スケデューラ 16 の構造及びオペレーションは、第 29 図を参照してこれからさらに詳しく説明を行う。スケデューラ 16 は優先順位によって有効なプロセスのリストを作つておかなくてはならない。有効プロセスとは、スケデュールすることのできる最も高い優先順位を持つ時、実行を開始するプロセスである。ハードウェアを節約する為に本実施例では、1 ビット毎の 256 のリスト即ち、有効なタスクを記憶する為の有効プロセスバッファ 200 を保持している。特定のプロセッサが 1 と名づける有効プロセス（即ち 1 の優先性を持ち実行を持つプロセス）を有している時はいつでも、スケデューラ 16 の中のこのプロセッサに対応する有効プロセスバッファ 200 の 1 番目の位置に 1 含まれている。有効プロセスバッファ 200 内のプロセスは実行の為のスケデュールが行われる時には、バッファ 200 内に於ることの位置（これ

はこのプロセスの名前であり優先順位である。）を使って各々の有効プロセスのコンテクストを示すポインタを持つテーブル 220 にアクセスしている。故に、バッファ 220 には 2 つの主な目的がある。それは有効プロセスを監視することと有効なジョブを優先順位でランクづけすることである。故に、スケデューラ 16 は 5 つの主要な構成部を持つ。即ちバッファ 200 現在実行中のプロセス優先順位の為のレジスタ 202、次の有効プロセスの優先順位の為のレジスタ 204、プログラム可能タイマー 206 及び線形的にバッファ 200 を調査し次に高い優先順位をテストし、見つけるリニア検索論理 208 である。

スケデューラ 16 のオペレーションは第 30 図の流れ図で示される。スケデューラ 16 は、割込みの発生、有効なプロセスのロック、又は、プロセスの完成の 3 つの起こりうる原因（勝発要素）の 1 つによつて作動されるようになる。ロックされるプロセスとは、必要な資源が使用できない為実行の続行を中止させられるものである。例

えば要求された資源を全部は受けとらなかつたロックステップ型プロセスは、他のプロセスから（受けとらなかつた）情報を必要とするプロセスであるとしてロックされる。プロセスがロックされると、プロセスの実行はまず停止する。次に全ての必要なコンテクストが記憶される。更に、スケデューラー 16 は、有効プロセスバッファ 200 内のロックされたプロセスの優先性に匹敵する位置に 1 を入力することによつてこのプロセスはバッファされる。ロックされたプロセスの優先順位は、次の優先順位の為のレジスタ 204（フロチャートにおける「次の優先性」の項）にロードされるのでロックされたプロセスは少くとも次にスケデューラ 16 が呼び出されるまで停止される。

ロックされたプロセスは、もし必要であればタイマー 206 を使ってプログラムすることができる。このようなプロセスがロックされる時、プロセスは命令でタイマーをプログラムする。タイマー 206 がゼロまでカウントダウンする時、

スケデューラ 16 を作動させる勝発要素が生じる。この要素によつてスケデューラ 16 は通常のスケデュールサイクルを実行するようになる。タイマー 206 をセットしたロックされたプロセスが最も高い優先順位を持つていれば、スケデューリングが行われる。しかしながら制御バス 14 から割込みを受けとる場合、又は他のプロセスがロックされる場合又はプロセスが完了した場合にはタイマー 206 は作動しなくなる。このような場合には通常のスケデュールサイクルが開始され、故にタイマー機能が不要になる為タイマー 206 は作動しなくなる。このロックされたプロセスに対するスケデューリング法は、一方ではロックされたプロセスに引き続き、チップの資源を使用させいつ必要な資源の用意ができるか判断させていて、また他方ではより高い優先順位を持つプロセスを必要な時間より長くロックさせている間を調整するものである。この調整は低価格のハードウェアですみ、良好なスケデューリング動作を得ることが期待される。しかし、現在のプロセ

スの実行を続行しつつ、現在のプロセスより高い優先順位を次のプロセスが持つようになると、スケデューラ16のオペレーションをいくらか複雑にすることになる。

スケデューラ16が割込みによつて呼び出される時、（レジスタ202から入力された）現在のプロセスの優先順位及び（レジスタ204から入力された）次のプロセスの優先順位の高さと共に受取つた割込みの優先順位がコンパレータ212によつて比較される。新しく受取つた割込みが3つの中で一番高い優先順位を持つ場合のみ先取が起る。先取する必要がある場合、現在のプロセスを停止させコンテクストスイッチが実行された後でだけ新しく受けとつた割込みが開始される。スケデューラは次に次のプロセス及び現在のプロセスの優先順位の高さを次の優先順位の為のレジスタ204に入力する。有効プロセスバッファ200内の対応する優先性レベルに1を書きこむことによつて現在のプロセスがバッファされる。先取する必要がない場合、新しく受けとつた割込

みは、有効プロセスバッファ200にバッファされ、バッファされた割込みに関する情報はこれ以後受けとり側のプロセッサに記憶される必要はない。次の優先順位と割込みの優先順位のうち高い方が次の優先順位の為のレジスタ204に入力される。故にある場合では次の優先順位の為のレジスタ204が有効な情報を内容として持たさないようにすることができる。これは、有効プロセスバッファ200によつてリニア検索を行い次に最も高い優先順位を持つプロセスを発見することが時として必要になるからである。必要とされる時に次の優先順位の為のレジスタ204の内容が有効でなかつた場合、スケデューラ16のオペレーションは他に有効なプロセスが発見できない場合も含めて有効なデータが見つかるまで停止する。最終的にプロセスを完了することによる作動を起こす原因が受けとられると、（これはプロセス状況ビットを通してスケデューラ16に知らされる）次のプロセスが開始し、次に高い優先順位を持つプロセスの検索が開始される。

割込みシステムのオペレーションを明らかにする為、割込み制御ワード（ICW）のフォーマットを以下に説明する。各々のプロセスは、それと共に動作するICWを有している。ICWはプロセスの優先順位に予め規定される定数をつけることによつてアクセスされる。全てのICWは、制御記憶回路38内の256ワードテーブルの中に含まれる。あるICWをアクセスする為につけられる定数とは本質的には、256のワードページに対するページフレーム数である。ICWは、第31図で示す3つのフォーマットに規定される。もちろん必要に応じて他のフォーマットを規定することもできる。1つのICWにはプロセスを開始又は改めて開始させる必要とされる割込みの優先レベルに相当する必要な情報を含まれている。

ICWのタイプフィールドは命令オプコードに類似する。タイプフィールドは4ビットであるが、3つの型のICWが規定されている。タイプ0は単一プロセッサによるプロセスの為であり、タイプ1はロックステッププロセスの為、またタイプ

2はパイプラインプロセスのものである。タイプフィールドは割込み管理回路に対する命令としても使用され以後の割込みの発生を命じている。

位置フィールドは、予定された割込みを受けとつたかを確認している。このフィールドには各々のプロセッサに対し1ビットが含まれていて各々のビット位置における内容を使用して、それに対応するプロセッサが割込みを受けとるべきであることを示している。

優先性マスクフィールドはプロセスの名前又は優先順位とは異なる実行の優先順位を特定する為に使用される。言いかえれば、優先性マスクフィールドが使用される場合、プロセスの優先順位は、（実行の優先順位というよりむしろ）せり合う時の優先順位（bidding priority）と考えることができる。PMビットは、優先性マスクが使用されるか否かを特定する為に使用される。優先性マスクは、多重に資源を利用する必要のあるプロセスを完全に実行できる可能性を高める為に使用される。優先性マスクは、他のどのプロセスにも与

えられていない優先値を使うように限定されている。そもそも2つのプロセスが同じ優先順位で資源をとりあう時、デッドロックが起こりうるからである。

次の優先性フィールドは同一プロセスに多重優先レベルを与えることができる。このフィールドはNTビットが1である場合のみ有効となる。この機能によつて、ランタイムで規定される優先順位をプロセスに与えられる。この機能は、プロセスの非常事態がやがて変化する時に有効となる。例えばプロセスは、特定の優先性レベルを持つ割込みを、必要なサービスを予期して発生することができる。割込みが直ちに動作を開始させない場合でも、割込みのイニシエータが後にプロセスを開始させる。しかしながら、時間的を遅れによつて(本実施例に於て) 割込みのサービスを受ける必要性がさらに急を要するようになるのでイニシエータは次に最も高い優先順位を持つ割込みが発生可能となる。次に高い優先順位についての情報は次に高い優先順位の為のフィールド内に含まれ

ている。この機能を利用する別の方法としては同一プロセスの多重処理を開始する方法がある。このモードのオペレーションでは、ある優先性レベルから優先性レベルへと位置フィールドが変わる場合に、並列処理が可能となる。同じ位置フィールドが使用される場合には回帰的ルーチンを使用することができる。

最後に、制御記憶アドレスフィールドは現在の割込みによつて呼び出されたプロセスマイクロルーチンのマイクロ命令のアドレスを指示している。

前に述べたように、割込みが送られた時には、14本の制御記憶アドレス線84のうちの8本の線のみが使用されて優先性がコード化される。故に、残る利用可能な6ビットのうち1ビットをコンテクストスイッチを全部続行するか又は一部続行するかの決定の為に使用することができる。更にこれ以外のもう1ビットは割込みがただちにプロセスを実行しない場合、割込みをバッファするかどうかの判断の為に使用される。故に第32図は割込みが送られる時の制御記憶アドレス線84

のフォーマットを示す。

割込みシステムのオペレーションをさらに明らかにする為に、第33図は、プロセッサPR3がプロセッサPR1に対し割込みを発生した場合のサンプル割込みに相当するタイミング表を示している。タイムnにおいてプロセッサPR3が制御バス14を支配していて、(線13上に)自分が割込みのソースであるという信号を与えていて(線DR1上には) 割込み先がプロセッサPR1であるという信号を与えている。同じこのタイムに於ては現在の割込みが確認されるまでは他の割込みが制御線14を通つて転送されることはないのでプロセッサPR3は、割込み準備線104の電位を引き下げる。次のクロック間隔では、プロセッサPR1は、割込みバス11の適当な線の電位を上げることで割込みの確認を行い、コンテクストスイッチを実行した後でプロセッサPR1が割込みのプロセスを開始させたことを知らせている。次にプロセッサPR3は、割込みによつて知られたプロセスを開始させる為のマイクロ命令のア

ドレスを転送するアドレスバス84を操作する。プロセッサPR1がそのコンテクストスイッチの実行を完了すると、プロセッサPR1がこのマイクロ命令のアドレスをロードし、割込みバス13及び割込み準備線104の電位を引き上げて(又は引き下げを止めて) 割込みが再び受けとれる状態となつたことを知らせる。

ここまで再構成可能な機能及び多重プロセッサ機能を提供する割込みプロトコールの組織を説明してきた。再構成可能機能を提供する為に必要な命令構造に使用するこの他の構成要素は、DLA22及びDLAデータ26によつて選択される時に、状況バスマルチプレクサ48及び50の再構成を特定するか又は、BCU58内の1つに含まれるバイディレクショナルスイッチ178、180及び182のオペレーションを特定する命令を有している。

本発明の再構成可能なICの実施例は、84ピンパッケージの中に含まれる。(64ピンでデータ及びアドレスをまたがり112ピンパッケージ

も選択できるがあまり経済的でない。)

ある種の構成に関しては、84ピンパッケージをフルに必要としない。故に、このような応用例のために設計されたRICを中間的な量で製造するには、もつと安価なパッケージを使用することができる。

本発明のRICの為に好ましいパッケージは、例えばここに参照として示すエレクトロニクスマガジン1981年6月30日号の39から40頁で記載されるような84ピンプラスチック・リード・チップキャリアである。しかし第34図ではRICが超大規模LIPパッケージの中に含まれる場合のピン配置を便宜上示す。

本実施例のRICは2つの16ビットデータ/アドレスポートを有している。各々のポートはデータ及びアドレスを運搬する為の16本のバイデータイレクショナル線を有している。ポート1におけるデータ/アドレスピンは、1から16まで、ポート2のピンは26から41までの番号がふつてある。データポート2の対応するデータポート1

のピンは、機能的に等しいのでポート1で動作ピンのみに申し示す。第1及び第2図で示す外部データポートF2及びF3にデータポート1及び2が対応する。簡単なピンの配線に加えて、外部データポート72及び73は、1個以上のRIC、外部メモリ、I/O装置及びアドレス装置の間を結ぶ共有外部バスの制御に対し仲裁を行い和議信号(handshake signals)(ピン17及び18)を有している。各々のポートは、バスでのデータ及びアドレスの送信及び受信の同期を行う為の追加のピン(22及び23)を有している。各々のポートは、バスの状況、及びバイデータイレクショナルか一对のプロセッサタグアイデンティファイヤー(24及び25)に信号を送るバイデータイレクショナルか3本の線の組(ピン19-21)も有している。データポート1と2は独立している。しかしながら内部的には、両方のポートに同じオペレーションを回帰的に実行させ、外部的には2つのポートを1つのポートのように扱うことでこれらのポートを单一の大きなポートとして作動させ

ることができる。外部データポートには主として2つの機能がある。第1の機能は、外部データポート72及び73としての役目である。データポートの主要機能の一つは、内部データバス56と外部データポートピンの間のインターフェースとしての役目である。实际上これの意味することは、データポートが内部命令を受けとつてデータ及びアドレスを外部に送る機能を持つということであつて、データポートはこの機能を果たし、それを適当な信号にして外部ピンに送ることができる。第2にデータポートは、外部ピンから情報を受けとり、次に適当に変換して、適当にその信号を内部RAMバス56に送っている。第2の主要機能は、ロック転送モードである。これは、例えば1つのアドレス及びデータワードを外部に送る命令を送るかわりに、内部的に制御及び命令を受ける多重アドレス及びデータワードを送り出している比較的一般的な命令を送っている点で上記に説明した他のオペレーションとはわずかに異つている。

従来において、データ又はアドレスの内の最上位の固まり(chunk)は第1のサイクルで送られ、それに連続するサイクルにおいて次々とより下位の固まりが送り出される。全てのアドレス又はデータの固まりは最初の(最上位の)固まりが送られた同じポートから送られる。

これらの2つのデータポートはチップ上の全てのプロセッサに共通する。2つ以上のプロセッサを持ついかなるプロセッサ又はいかなる内部構成も、いずれかのデータポートを使用可能である。ポートは、プロセッサ内のメモリマップ34によつて選択される。

以下で述べる外部通信プロトコールに関する機能に加えて、外部データポート72及び73もプロセッサによるデータバスプロトコールの使用に關し、上記で説明したものと全く同じ回路を有しているので、外部プロセッサもまたチップ上のメモリにアクセス可能である。

データバスの仲裁 共有のデータバスを仲裁する機能が備えられている。各々の R I C は、外部仲裁回路、マスタースレーブ機構、又はラウンドロビン仲裁機構で動作する。R I C の動作が開始すると、仲裁モードが指示される。仲裁信号はデータバス可動 (D P A V) 及びデータバス容認 (D P G R) 信号と呼ばれる。信号はポート 1 I C 対して D P A V 1 及び D P G R 1 (ピン 17 と 18)、ポート 2 I C 対して D P A V 2 及び D P G R 2 (ピン 42 と 43) と表示がつけられる。以後これらの信号の表示は 2 つの同一なポートの間を区別する為に参照番号を使わずに参照する。外部仲裁回路モードが使用される時 R I C がプロセスを開始し、外部回路に接続する D P A V 出力信号の電位を上げることによつてバスを支配する。

仲裁機構がプロセッサの要求に対しデータバスが使用可能であるか判断し、要求元の D P G R 信号の電位がひき上げられる。マスタースレーブモードでは、マスター R I C が常にバスを制御している。従属 R I C がバスを使用したい場合には要

求を D P A V 信号でマスターに送つている。マスターは、D P G R 信号の電位を上げることでバスが使用可能であることを知らせる。この他のモードの仲裁機構としてはラウンドロビン機構がある。この機構では、論理 1 がデータバスを使用するプロセッサの間を循環している。R I C がデータバスのオペレーションを完了しているか又は、続行中のものがない場合、R I C はその D P A R の電位を引きあげる。これは、隣接する R I C の D P G R 信号に接続される。データバスオペレーションが続行中である場合、D P G R 信号が 1 になると、R I C がデータバスを支配するようになる。さもなければ R I C はその D P G R 信号の電位を上げる。バスを使用できなかつた R I C は他の資源がいずれもバスの使用を必要としていないと判断した場合にこの R I C は循環している 1 をトライプする。そこで（もし存在すれば）同期を維持する為にこの R I C はその D P G R を引きあげて 1 を再び循環させる。

データバス状況： 各々のポートがデータバスの

状況を示す 3 つのピン (19-21 及び 44-46) を有する。データバスを制御している使用中のプロセッサはバイディレクショナルピンに出力してデータバスの状況を知らせる。状況ピンの配置は、ポート 1 に関しテーブル 1 にリストしてある。（ポート 2 はピン 44-46 が第 34 図のピン 19-21 に相当することを除けば同一である。）

テーブル 1 データバスピン配置

ビン			機能
19	20	21	
0	0	0	隣接する R I C への書き込み
0	0	1	隣接する R I C からの読み出し
0	1	0	割合でアドレスへの書き込み
0	1	1	割合でアドレスからの読み出し
1	0	0	メモリへの書き込み
1	0	1	メモリからの読み出し
1	1	0	I/O 装置への書き込み
1	1	1	I/O 装置からの読み出し

データバスの状況はデータバスオペレーションの型式を示している。データバスオペレーションに関しては 4 つの割当て先が存在しうる。即ち、割当てられた R I C 、データ転送の最初の部分によつて特定されたアドレスによる割当て、システムメモリ又はシステム I/O ユニットの 4 つである。読み出し又は書き込みオペレーションはこれら 4 つの割合でのいずれでも実行可能である。いずれかの割合で先に転送される 16 ピットアドレスユニット及び 16 ピットデータユニットの実際の数は、R I C のプログラムによつて又は、割合でのハードウェアによつて決定される。直接的な通信は隣接する 1 つの R I C に対してのみ有効である。割当てアドレスモードはデータバスオペレーションに対し 1 つ又は複数のソースを特定する一般的な方法である。データ転送の第 1 の部分は 1 つ以上の割合でを決定するアドレスを特定している。割合でアドレスを含む 16 ピットユニットの数は、使用者によつて決定される。このモードでは、アドレスは、データバス上の全ての受信プロセッサ

に送られる。受信側は、アドレスが自分の持つアドレスの1つであるかを判断する。全てのアドレスを受取つたプロセッサは、データバスオペレーションの残り部分を分担し続行する。メモリ及びI/O割当てオペレーションに関してのアドレスの長さ及びデータの長さのフォーマットも使用者によつて特定される。

PRタグピン：これらのピンは、バイディレクショナルなピンである。出力ピンとしてのピンは、データバスオペレーション中のソースプロセッサ、即ちデータバスオペレーションを開始した单一のプロセッサ又は内部ロックステップのマスタープロセッサであるプロセッサを示す為に使用される。故に、データポートはデータバスオペレーション全期間中、データバスが送信側プロセッサに支配されてない組織において使用することもできる。例えば、メモリに読み出しの為のアドレスを送つた後でR/Cはデータバスを解除することができ、メモリかデータバスを支配するのを持ち、データを送り返すことができる。データバスを一時的に

解除する理由は、他のデータバスの処理がその間行われる様にさせる為である。この解除の方針のもとにおいて、メモリからひきだしたデータは、読み出し要求のシーケンスとは異なるシーケンスにおいて戻るので(これは例えば共用され、内部差込み形式のメモリ内で起こる)、PRタグ情報は、読み出しオペレーションにおいて重要である。(外部)メモリ制御器はデータがR/Cに戻つてくる時にこれらのピンをバッファしてデータに適当なタグをつける。内部的には外部データポート72又は73は割当て線168のうちの1本の上のこの情報を解説し出力して、受取つたデータを適当なメモリ位置にマップしてゆく。これらのタグピンはR/CからR/Cへの通信を行う割当てプロセッサをも指定している。

データ転送同期：これら2つのピンは、ソースと割あて先の間のデータバス上をデータが正確に転送されていることを確実にする為に必要とされる。これらのピンは、情報転送可能(I/A)と情報受信(I/R)である。情報転送に関するプロト

コールは、以下の通りである。データバスの制御を行いつながらソースはただちにI/A信号の電位を下げる。ソースはデータ/アドレスピンに情報を設定するので、I/A信号は「1」まで電位が上げられる。I/A信号の電位を上げることによつて全ての受信側プロセッサに情報がデータバスによつて転送中であることを知らせる。I/R信号は通常低い電位にある。受信側がデータバスからの情報をバッファする時にI/R信号の電位が引き上げられる。I/R信号はワイヤーANDに接続されている。故に受信側が多重に存在する場合、I/R信号は、全ての受信プロセッサが情報をバッファするまで低い電位のまま維持される。

要約すると、データバスが特定されることで融通のきく仲間プロセスを持つ仲間データバス回路網が構成される。情報転送の割当ては、割当てをアドレスする機能を持つて一般的なものである。情報のフォーマットはR/Cをプログラムし、メモリ及びI/Oシステムを構成することで特定されるので一般的なものである。最後に、情報の転送

は、ある点からある点の間でも又は間にいくつかの分岐を含むもの(マルチドロップ)であつてもよい。

割込みポート(ピン51-58)はこの目的を果たしている。第1の目的は、従来のマイクロコンピュータ及びマイクロプロセッサが行つていたのと同様に外部からの割込みを受けとりプロセスを行うことである。割込みの概念は、他の受信側プロセッサに割込みを送信する機能とともにこの従来的な目的も達成できるよう一般化される。この一般化によつてチップ内部の通信が可能となる。チップ内部の通信を可能にするという目的は、R/Cにタスクをコーディネイトし情報を転送する役目である。チップ内部の通信システムはチップ間通信の命令(communique)の部分を転送する為に使用される。情報転送のデータ部分はメモリ間で通信される。例えば、ディスク読み出しオペレーションは、R/Cの割込みポートを使ってディスク制御器に命令を送ることによつて開始される。データ転送は、ディスクシステム及びメモリシス

テムの間の個別なデータバスにおいて行われる。

割込みバス仲裁: R I C の割込みポートは 8 本のピン 5 1 - 5 8 を有している。ピン 5 7 - 5 8 は割込みを送信中に使用される共有資源の要求を仲裁する為提供される 3 つのモードの仲裁が維持されている。第 1 のモードは、ラウンドロビン機構で仲裁される共通の割込みバスを維持している。この機構の中で「1」の信号がチップの間を循環して上記で示したように割込み資源を配分している。あるチップに於る割込み可能 (I A) 出力 (ピン 5 8) が隣接するチップの割込み許可 (I G) 入力 (ピン 5 7) に接続される。I G 信号があるチップで「1」になる時このチップは割込みを発生することができる。送信すべき割込みがそのチップに存在しない場合、I A 信号の電位が上昇する。第 2 のモードはデータポート仲裁の方針で説明したのと同じマスタースレーブモードである。通常は、マスター R I C がバスを制御している。従属 R I C がマスターの I G 入力信号を上昇させてアクセスを要求している場合、マスター R I C

は、好きな時にマスターの I G 信号の電位を上げて選択的に従属 R I C に対するバスの支配を得る。もう 1 つの仲裁モードは各々のチップの割込み可能及び割込み許可信号を外部仲裁ハードウェアに接続して行う。R I C が送信すべき割込みを有する時、R I C は I A 信号の電位を上げる。割込みポートが割込みの要求側によつて使用可能を状態にある時、外部ハードウェアが I G 信号の電位を上げる。3 つの仲裁機構を用意する理由は応用に対する一般性を与える為である。ラウンドロビン仲裁機構では、少數の R I C を接続して内部通信を可能にする経済的な方法を提供している。マスタースレーブ機構では、多重な情報処理機能を持つ装置をコーディネイトする為の一般的な方法の使用を可能にする。R I C を外部割込み管理回路に付加できる機能性を有することで、チップ内部通信に用いる回路網を思いのままに構成することが可能となつている。

割込み情報: ポートの 4 本のピン 5 3 - 5 6 は、外部割込み情報専用のものである。外部割込み情

報プロトコールは、最大限に使用者が規定できるように特定される部分は最小にしてある。また情報プロトコールはアドレスとデータとの区別に関して示している。また、プロトコールはメッセージの長さも示している。ここに示すものに関する特徴を以下に説明する。情報プロトコールは、あらゆる情報の第 1 番めの部分が割込みの受取り手を確定するアドレスであることを示している。アドレスの長さは使用者によつて指定される。割込みが送られる時は、共通な割込みバス上の全てのチップがアドレスを受けとり、それを記憶する。以下で規定されるように、割込み状況信号は情報競争がアドレスを運んでいるのかデータを運んでいるのかを知らせる。状況がアドレスビットが送信されていることを示す限り、受信側の R I C はアドレス部分をパッファしておく。割当てアドレスが送信された後、各々の受信側 R I C はそのアドレスを使ってチップ上の RAM メモリ 6 6 内のビットにアクセスする。N 個のアドレスビットが送られる場合、高いオーダーの N - 3 個のビットを

使用して内部メモリのテーブル内のバイトにアドレスする。このバイトは R I C の外部割込み管理回路 7 6 に送られる。次に低いオーダーの 3 個のアドレスビットがこのバイトの中から 1 ビットを選択する。この選択されたビットが「1」である場合、このチップが割込みの割当て先であることを示す。この R I C は何か送信されてくるまで割込みと共に残る情報をパッファしつづける。このアドレス探索機構は、任意につけ加えられる。単純な割込み機構では、受けとつたどの割込みもいずれかの受け取り手に対し送信することができる。

通信ポートの残る 2 本のピン 5 1 及び 5 2 は、割込みバスの状況を示す為に使用される。ピンの配置はテーブル 2 に示される。

テーブル 2

通信状況ピンの配置:

151 152

(ピン51) (ピン52)

1	1	受信側準備
1	0	データ転送
0	1	アドレス転送
0	0	情報転送完了

2本の割込み状況線は2つの目的に使用される。第1の目的は、ソースと割り当て先の間に非同期の和議信号を与えることである。もう1つの目的は、アドレスの転送とデータの転送を区別することである。割込み信号の転送が始まる前は、割込み信号は11の状況(即ちIS1=1及びIS2=1)である。第1のニブルをアドレスとする。第1のニブルが送られると割込み状況は01となる。全てのIS1信号がいつしよにワイヤーANDで接続される。全てのIS2信号もワイヤーANDで接続される。1タイムの遅延の後、割込みのソースはIS1信号をフロートの状態にする。情報がチップにロードされると各々の受信側RICは

IS1信号の電位をゼロに引き下げる。チップが受取つた情報を処理した後でこのチップはIS1信号をフロートの状態にする。全ての受取り側RICが情報のプロセスを完了すると、IS1信号は「1」を示すようになる。そして状況は11となる。送信側は送信可能な状態の次のニブルがもしあればそれを調査する。次のデータの形式は状況線によつて決定される。状況01は、アドレス情報に対応し、状況10はデータ情報に対応する。データ情報が送られると、送信側は、アドレス情報の転送に使用したのと同じプロトコルを使用する。唯一の相違点は、情報が送られる後に、送信側がIS1及びIS2両方の信号をフロートの状態にすることである。最後のニブルが送られた後で、送信側RICが状況00を出力し、割込み情報プロックの終了したことを知らせる。遅延の後に送信側は状況信号をフロートの状態にする。このことが受信側に割込みが終了したことを知らせる。外部仲裁機構が使用される場合は、割込みの終了は次の割込みの開始が可能であることも意

味する。もしラウンドロビン仲裁機構が使用される場合、送信側が割込み可能信号の電位を上げて次の割込みを送信するRICの選択を開始させる。マスタースレーブオペレーションが使用され、送信側が従属RICである場合、マスターが割込み資源の制御を行う。マスターが送信側である場合、従属RICに対し割込み資源をせりあうことができるることを知らせる。

通信プロセスはチップの外部割込み管理回路76にMPSが割込みを送り出すことによつて始まる。上記で示したように、優先性バイト及びランタイム情報である4ビットは、内部割込みの受信側に送られる。割込み管理回路76が内部割込みを受けとる時、優先性バイトは、テーブルエントリを示している。このテーブルはチップのRAM66内に含まれている。テーブルエントリは、メッセージロックを示す。ランタイム情報は、メッセージロック内のバイト数を意味する。これによつて15バイトを送信することが可能である。ランタイム情報が10進法上のゼロである場合、

メッセージロック内の第2のバイトがメッセージ内のバイト数を有している。第2のバイトが(ランタイム情報と同時に)10進法のゼロである場合、次の2バイトがメッセージロック等の中のバイト数を有している。

チップの外部割込み管理回路76が外部に送信する為の割込みを受けとつた場合、外部割込みバスにアクセスすることができることにより割込み管理回路76が割込み送信プロセスを開始する。仲裁機構がラウンドロビン形式である場合又は、仲裁機構がマスタースレーブ形式であつて送信側RICが従属関係にある場合、送信側は割込み許可信号が「1」になるまで待機する。マスターRICが資源を制御する時はいつでも、マスターは割込みを送ることができる。外部の仲裁機構が使用される場合、送信側RICは、割込み可能信号の電位を上げる。送信側はさらに割込み許可信号が「1」を示すようになるまで待機する。割込み許可及び割込み可能信号で制御されるハードウェアの制御方針は、開始時点で発生した2つの状

況ビットによつて決定される。これらのビットが11であればラウントロピン仲裁機構を使用しこれらのビットが00を示せば外部仲裁機構を使用する。マスタースレーブ仲裁機構は10を示す場合に使用される。

外部割込みバスを支配できるようになつた後、外部割込み管理回路が割当てアドレスを送る。割込み管理回路76はチップのRAM66からデータをとりだしその1タイムに1ニブルの情報を割込みポートの情報線53-56に送る。ソースプロセッサが外部割込み管理回路76に優先性バイトを送り、外部割込み管理回路76の送信オペレーションを開始させることによつて、メッセージプロックの開始が知らされる。優先性バイトは、外部割込みテーブル内のエントリを示す。この外部割込みテーブルは、割込みが外部的にも内部的にも両方に對し送信されるのがどうかを示すバイト及びメッセージプロックの開始アドレスを示すバイトの両方のバイトを含んでいる。テーブル内の第1のバイトは、自己に対する割込み、即ち外

部及び内部に對し回帰的に送信される割込みを示す為に使用される。この型の割込みは以下で示すような、外部ロックステップに対する割込みに必要とされる。このパイトの一一番左のニブルは全て「1」である。右のニブルは、内部のどのプロセッサに割込みを行うかを示す為に使用される。ニブルの最上位ビットが、PR3に対応し、次の最上位ビットは、PR2に対応し、以下この通り対応する。もし、右側ニブルのいずれかのビットに「1」が含まれる場合、それに対応するプロセッサは、そのプロセッサに対する割込みを受けとつている。割あてアドレスの最後はゼロのバイトで位置を示される。外部割込み管理76がゼロのバイトの存在を検索する時、もしゼロが存在すれば割込みメッセージのデータ部分を送る。データ部分の終了は、またゼロのバイトで知らされる。次に割込み管理回路76はゼロを検知した場合、アドレスのソースを送る。内部割込みデータ構造は、第35図に示される。外部割込み管理回路に知らされたメッセージプロックの長さによつて決定さ

れた通りのメッセージプロックが送り終わるまで割込み管理回路がニブルを送る。メッセージプロックが送られた後で且つ外の内部及び外部に對する割込みのプロセスが始まる前に、外部割込み管理回路76はテーブル内に割込み状況を割込みを発生したプロセッサに対し割込みを送る。このプロセッサが割込みを開始する。また、割込みメッセージプロックの送信が例外的に中断された場合もこの状況が同じテーブル内に書き込まれ発生元であるプロセッサに割込みが行わられる。この割込み送信プロセスは第36図に示す。

上記で示したように、共通割込みバス上の全てのRICは割当てアドレスを受けとり、これをそれぞれの持つ外部割込み管理回路76内にバッファする。アドレスを受取つた後で、各々の外部割込み管理回路76がひとつのビットにアクセスし、それのあるそれぞれのチップが割込みの割合で先であるかを判断する。あるRICが割込みの割当て先である場合、外部割込み管理回路76は残るメッセージをそのチップの内部RAM内にバッフ

アする。メッセージプロックのデータ部分の終了までくると、割込み管理回路はゼロのバイトを書きこみデータ部分の終了を示す。割込み管理回路は「1」が送られてきた場合割込みのソースアドレスもバッファする。メッセージプロックを送りおえた後、割当て先RICの外部割込み管理回路76は、割当てアドレスを使用して内部RAM66内の外部割込みマップテーブルにアクセスし、これによつてRIC上のどのプロセッサが割込みを受けとるのか又は割込みは内部的にどの程度の優先性を持つのかを判断している。内部割込みの優先性は、メッセージプロックの開始位置及びメッセージの長さが書き込まれる外部割込みメッセージテーブル内の位置を指定する為に使用される。さらに、外部割込み管理回路は割込みをチップ上のプロセッサに送る。割込み管理回路は外部割込みメッセージテーブル内の情報を使つてメッセージプロックにアクセスしこれのプロセスを行う。

外部割込み管理回路が使用するRAM領域のメモリ管理は、割込みを送つたり受けたりするプロ

セッサーにより行われる。プロセッサが外部割込みを送る時、割込みはポインタをメッセージロックにわたしている。外部割込み管理回路7-6が割込みを送つた後に、送信したプロセッサには送つた割込みの状況が知らされる。割込みが誤りなく送られた場合、プロセッサは改めてメッセージロックのメモリ領域の使用を請求できる。外部割込み管理回路7-6は、プロセッサPR0～PR3に自分自身のメモリの管理を行わせる機能はない。故に外部割込み管理回路7-6は、外部から受けとつたメッセージロックを書きこむ為の領域を確保する為にメモリの管理を必要とする。外部割込み管理回路はメッセージロックを記憶しておく為に2つのメモリポインタ：現在のメッセージロックポインタ(CMB)及び次のメッセージロックポインタ(NMB)を有している。CMBが有効であれば外部割込み管理回路7-6はこのポインタをメッセージロックの開始として使用し、受取つたメッセージロックの各々のバイトが書きこまれた後でアドレスポインタをインクリメン

トする。割込みメッセージロックを受けとつた後、割当てプロセッサは、割込みを知らされる。外部割込み管理回路はNMBを直ちにCBMに変えて、NMBが有効でないことを記録する。割込みをうけとつたプロセッサはただちに新しいメッセージのロック領域を計算して出すという高い優先順位のプロセスを開始する。この新しいメッセージロックの開始アドレスは外部メモリ管理回路のNMBレジスタに書き込まれる。外部メモリ管理回路がCBM及びNMBのどちらのポインタも有効でないという状態を示すようになると、割込みの送信側に「用意できていない」という信号を送つてどちらかのポインタが有効となるまでメッセージロックの送信は停止する。

外部割込み管理7-6は開始時点での初期化される最大ロックパラメータを有している。最大の長さより長いメッセージロックが送信される場合外部割込み管理回路は「受け取り準備ができていない」という信号を割込みの送信側に送る。また外部割込み管理回路はソースプロセッサを判断し

それらにメッセージロックのあふれを意味する割込みを送る。プロセッサはプログラムされていた動作を実行する。例えば送信側が時間外に超過した後で、プロセッサは割込みを途中で停止させることはできなくすることもできる。この他にも、外部割込み管理回路7-6に他のメッセージロックポインタを送ることもできる。外部割込み管理回路7-6は内部割込みによつて新しい、メモリポインタで開始するメッセージロックをひき継ぎ受けとらなくてはならないことを知らされる。この後者の方法は、メッセージロックの長さが様々で、最長のロックの長さが大多数のメッセージロックより長いか又は等しくセットされる場合に使用される。

この割込みインターフェースを提供する目的は、使用者が割込み機構を規定できるようにスペクトルを提供する為である。最も簡単な割込み機構は従来のマイクロプロセッサで使用される割込み機構と類似している。このより簡単な機構より更に融通性を拡大する為には内部的にプログラム構造

を形成する必要がある。

状況ポート1(ピン59-67)及び状況ポート2(ピン68-76)である2つの状況ポートが提供される。状況ポートの信号は同一である。故に状況ポート1のみに關し説明を行う。状況ポートの主要な機能の1つは、異なるR1C上のロックステップモードの2つのプロセッサIC信号を提供することである。状況ポート1は、PR0又はPR1、又はロックステップで接続されるPR0及びPR1を外部プロセッサにロックステップで接続する為に使用することができる。状況ポート2は、PR2又はPR3に関し、あるいは、PR2又はPR3がロックステップ内で最も重要なマスタープロセッサである内部のロックステップに關し外部的にロックステップを形成する為に使用することができる。各々の状況ポートには、4つの型のピン機能がある：即ち、ALUの結果、状況、桁上げ連結、シフト/循環連結及びチップ内部の同期である。状況ポート1(ピン59-67)は、内部状況バス52及び54に外部状況ポート75

(第1図を参照せよ)を通して接続される。同様にして状況ポート2は、外部状況ポート74(第1及び第2図で示す)を通して接続する。

ALUの結果状況： ALUの結果を示す為には4つの線59-62が存在する。負の結果状況N、ゼロの結果状況Z、桁の結果状況C、及びオーバーフローの結果状況Vという信号が存在する。これら4つの信号は、各々外部的にロックステップで結ばれる状況ポート全てが接続する外部状況バスにワイヤーAND接続される。これらの信号がコード化され16のALU結果状況のうち1つを示すようになる。これらの線のオペレーションは上記で示したような内部ロックステップ構成におけるALU結果状況の内部での発生及び(内部状況バス52及び54における)ALUの接続のオペレーションとほとんど同様である。

桁上げ連結： 桁上げ連結(carry linkage)は桁上げ信号(ピン63)及び桁下げ信号(ピン64)を有している。あるRICの桁下げ信号は次に高順位のRICの桁上げ信号と接続される。

あるRICで完了した演算が使用される場合、最上位プロセッサは最下位プロセッサの桁上げ信号に接続される。

シフト/循環連結： シフト/循環連結(shift/rotate linkage)は、外部的にロックステップで接続するプロセッサ間のシフトオペレーションを実行する為に使用される。RICのシフト/循環高電位信号(ピン65)は、次に最上位のRICのシフト/循環低電位信号(ピン68)に接続される。最上位RICのシフト/循環高電位信号は、最下位RICのシフト/循環低電位信号に接続されて循環連結が形成されている。

チップ間の同期： チップ間の同期(ピン76)を行う為には、外部的にロックステップで接続するプロセッサが確実にフェイズ内で同じ命令を実行する様にしなくてはならない。外部ロックステップ内のプロセッサは、同じRICの中の1つのRICの上に形成される他のプロセッサが外部のロックステップで接続するプロセッサとは独立して作動されることから、同期を行わずにロック

ステップからはずれることができる。故にマイクロ命令をとりだす時間は、ロックステップで接続されるプロセッサを有するRICの間で様々である。チップ間の同期ピンはフラグとしての役めをし、各々のプロセッサが先のマイクロ命令を完了し次のマイクロ命令を取り出したことを知らせており次のマイクロ命令を実行する用意ができるていることを示す。チップ間の同期ピンはワイヤーAND接続される。全ての外部的にロックステップで接続されるプロセッサの次のマイクロ命令を実行する用意ができた時、チップ間の同期線の電位が上がる。もし1つ以上のPRの用意ができてない場合、線の電位は低くなる。同期線の電位が高い時、次のクロックサイクルで実行が開始する。(共通な外部ロックステップ内のPRを持つ全てのRICは同じシステムクロックを使用しなくてはならない。)実行が始まつた少し後で、チップ内部同期線の電位は全てのPRが次のマイクロ命令を実行する用意のできた状態になるまで低くなっている。PRが外部的にロックステップで接続

される時、マイクロ命令の実行中はPRに対する割込みはおこつてはならない。この割込みの制限によつて、マイクロ命令の実行が開始した後も外部でロックステップ接続するプロセッサ間の同期は確実に保たれる。この制限で得る利点は、状況ポートのピンの為に他の同期手段を設ける必要がないという点である。外部でロックステップで接続するプロセッサに関してはもう1つの事項がある。外部のロックステップ内のプロセッサに対する割込みは、プロセッサの同期を妨害することになるので、割込みによる効果を考慮しなくてはならない。追加のピンあるいは追加のオーバーヘッドを使わずに外部的なロックステップ接続の同期を維持する為には、外部ロックステップに対する割込みは、外部ロックステップ内の全てのMSPに対して行われるよう制限されなくてはならない。割込みのサブセットに割込みを実行することは可能なのでこれはあまり厳格な制限ではない。外部ロックステップ全体に対し割込みを送ることを必要とするこの制限によつて、外部ロックステップ

内のちょうどプロセスを開始しようとしているプロセッサに割込みの名前を知らせる必要性を省くことができる。外部ロックステップ全体に送られる割込みは適切に実行される。これは、割込みが行われる外部ロックステップを有する全てのR.I.Cが同時に同じ割込みを受けとることによる。R.I.Cプロセスの外部割込み管理回路は、受取つたオーダーで割込みを行う。故に、外部ロックステップ内の全てのプロセッサは同じオーダーで割込みを受取る。R.I.Cの自己に対する割込み(sel Interrupt)に関しての特徴は、外部ロックステップに対する割込みが割込み先である外部ロックステップ内のプロセッサを有するR.I.C内で発生される場合に必要となる。前に述べたように、自己に対する割込みは、割込みの送信側にとつてその送信側自身が受信も行つているものとして取り扱われる。

上記で説明した通り、外部ロックステップ内のプロセッサはマイクロ命令の実行中は割込みが行われることはない。マイクロ命令が終了すると割

込みが行われたプロセッサは4本のA.L.U結果状況線にコードを発生する。(即ち、0111である。)このコードは、外部ロックステップの割込みが少くとも1つのプロセッサによつて受けとられたことを示している。これによつて外部ロックステップの実行は停止する。各々のプロセッサはコンテクストスイッチが実行されるとチップ間M.S.P同期線の電位を低く保つのをやめる。現在の割込みより高い優先順位を持つ他の割込みが、現在の割込みが入れ変わろうとしている期間中に外部ロックステップに送られる場合、全てのプロセッサが現在の割込みに変わるまで次の割込みは無視される。

状況ポートにはもう1つ重要な機能がある。外部A.L.U状況ピンN.Z.C.Vは、制御D.L.A.2.2への入力として実際の内部A.L.U状況ピンを配置することによつて決定される値を持つ。制御D.L.A.2.2への入力は外部ピンに送られた値を発生する。故に上記で示したような機能によつて、リアルタイム信号を発生する為に使用される実際の外部信号

号を発生することができる。例えば、R.I.Cに使用されるC.R.T制御回路の場合、N信号は内部的に制御されて水平同期信号を発生する。また、チップ間同期信号は内部制御システム(即ちD.L.A.2.2等)に対する直接の割込みの時に使用される。例えば、チップ間同期信号は、内部的には、外部クロックとして通訳される。この外部クロックは、各クロックサイクルの期間に所定のオペレーションを発生させる。

外部ロックステップの全てのプロセスは、割込みによつて開始される。R.I.Cのリセットによつて外部ロックステップ内のマスタープロセッサが自己に対する割込みを発生し、外部ロックステップを開始させる。プロセスの完成時点で、マスタープロセッサは自己に対する割込みを発生し、最も高い優先順位を持つ別々のプロセスを開始する。

リセットインR.I.(ピン7.7)及びリセットアウトR.O.(ピン7.8)の2本のチップ制御線が提供されている。全てのR.I.Cから接続するR.I.及びR.O.信号は別々に接続される。R.I.信号はア

クティブで高い電位である。R.I.信号が「1」を示すまで電位を上昇されるとR.I.Cは自分自身を初期化を開始しオペレーションに備える。R.O.信号は、有效地にワイヤANDで接続されている。R.I.Cが初期化オペレーションを完了した時、電位を低くしてあるR.O.信号はフロートの状態になる。全てのR.I.Cが初期化を完了すると、R.O.信号は高い電位となりシステムが初期化を完了したこと示す。

チップが初期化されると、プロセッサP.R.3はただちに最も高い優先順位2.5.5を持つプロセスを開始させる。この場合プロセッサP.R.3がマスターである。プロセッサP.R.3は次にチップ上のR.A.M.6.6の位置「0」に固定アドレスをロードし、プロセッサP.R.3はそこで他のプロセッサに対する割込みを行いこれに必要なプロセスを開始する。

好ましい実施例において、この中のR.I.Cは、高出力部分に使用されるCMOSを持つ1マイクロメーターの微細加工によるNMOSに実施され

ている。2つの出力ピン81及び82が3ポートと接地電位で使用される。

更に、本実施例はR I C上にクロック発生器を設置し、2つのクロック入力(ピン79及び80)の間にのみ結晶を設置する必要がある。その代わりに、所望の通り例えば多重R I Cを使つたシステムに実施する場合では、外部クロック回路をこれらピンと接続することができる。

第37図から第41図は、1つ又は2つ以上のR I Cチップを使って与えられたある特定な構成を示す。第37図は、16ビットパイプラインR I C構成を示す。パイプラインプロセスは4段のプロセッサにのみ限られるわけではなく、追加のR I Cをいつしょに連結することで望むだけの数の段を含むことができることに注意してほしい。

第38図は、32ビットパイプラインを示している。プロセッサPR1及びPR2は、プロセッサPR1及びPR0と同様ロックステップで接続されることに注意して欲しい。また、2段のパイプラインのみが示されているが、単に充分な数の

R I Cチップを連結するだけでパイプラインの段をいくつでも望みの数にすることもできるこことも注意していなくてはならない。

第39図は、64ビットの外部ロックステップパイプライン構成を示している。R I C AのプロセッサPR3及びPR2及びR I C BのプロセッサPR3及びPR2は、全てのプロセッサーPR1及びPR0と同様にロックステップで接続される。第39図において、両方のR I Cから接続する32ビット出力は、それぞれの单一を16ビットデータポートにおいて、多重化されているものとして示している。これはパイプライン構成の中の1つのデータポートは、前の段から与えられたデータを受けとる為に必要とされるからである。異なるチップ上のプロセッサPR3及びPR2を含むように外部ロックステップ構造の大きさを拡大することによつて、より大きなパイプラインを作ることさえ可能である。故にパイプラインワードの規模は、32ビットインクリメントまで拡大することができる。32ビットのインクリメントは、

桁上げ/桁下げ信号及びシフト/循環高/低信号を除き状況ポートの全てのピンを接続して特定のステージを作り出すことによつてつけ加えられる。(桁及びシフト/循環信号以外の)これらの信号は、ワイヤーANDでいつしょに接続される時適正に機能する。桁下げ信号はピンの中の次に最高位の桁を示すものに接続される。シフト/循環高電位ピンは次に最高位シフト/循環低電位ピンに接続する。(最高位シフト/循環高電位ピンは、最下位シフト循環低電位ピンに接続する。)

第40図は、64ビットの規模のステージのパイプラインを示す。このステージは、最初に再構成可能なI C上の4つ全てのプロセッサをロックステップで接続することによつて形成される。第40図では、別々の16ビットの入力及び出力ポートとして示されているので、4つのフェイズでの多重なデータ転送が必要となる。各々のI Cの2つのデータポートを統合することも可能であるので32ビットの並列ポートが形成される。これによつて第40図の64ビットパイプラインのス

テージ構成は、4クロックサイクルよりむしろ2クロックサイクルでデータ転送を実行している。しかしながらこれによつて、32ビットの転送を可能にし多重ステージパイプラインのステージの他のペアとの間を並列にする別々の絶縁されたスイッチの組が必要になる。故に、多重16ビットポートを使用した方がはるかに簡単であり、一般的に好ましい。

第41図は128ビットの大規模ハイブリッドロックステッププロセス実行素子を形成するように接続された2つのR I Cチップを示している。内部的には各々のチップの上の4つのプロセッサーはロックステップで接続されている。各々のチップ上に1つだけの状況ポートが使用されて図で示す通り2つのチップ間にロックステップを形成しているので、いずれかの多重化法によつて64ビットの規模にした同様のハイブリッドプロセス実行素子を構成することが可能である。

多重R I C構成において、割込み操作通信網を使う樹系図を用いることでのその融通性及び複雑

性をさらに増加することができる。

以下の3種の割込みは、一定の集積形式で取り扱われる。(1)チップ内部割込み：これらの割込みのソース及び割当てプロセッサは同一R I C上に存在するのでこれらの割込みが1つのR I Cチップ上で発生し完全に同一チップ上で処理される。(2)チップ間割込み：これらの割込みのソースプロセッサ及び割当てプロセッサが異なるチップ上に存在している。(3)I / O割込み：これらの割込みはI / O装置で発生し、1つ又は2つ以上のR I Cチップ上に存在するプロセッサに対し行われる。

チップ内部割込みは通常チップ上でダイナミックな再構成を行う為に使用される。例えば、内部的ロックステップモード又はバイオペーラインモードのオペレーションを実行させる為に使用される。内部的な割込みは、同じR I Cチップ上の他のプロセッサからサービスを受ける為にも使用される。チップ内部割込みは多重チップ構成に於て重大な役目を果たしており、チップ外又はチップ内のロックステップバイオペーラインモードの様な

多重モードを開始させる為に使用している。チップ間割込みも、異なるチップ上に異なるプロセッサが使用される時に、多重プロセッサの類似におけるプロセッサ間の通信を行う為に使用される。一般的な例は、異なるチップ上に形成された中央プロセッサ及びI / Oプロセッサを含む多重チップ構成である。中央プロセッサ及びI / Oプロセッサは割込みを介して通信を行っている。I / Oプロセッサは、中央プロセッサと共通バスを共有していて、中央プロセッサのメモリとI / O装置の間で情報の転送を行っている。

故に、チップ上のどのプロセッサも3種類のソースから割込みを受け取る可能性がある。同一チップ上の他のプロセッサ、又は異なるチップ上のどれかのプロセッサ又はI / O装置からの割込みである。以下の集積割込み機構は一定の型式でこれらの割込みを処理している。いずれかの割込みに応答して、割当てプロセッサの割込み管理回路12は対応するスケデューラ16に指示して割込みの優先順位及び現在実行中のプロセスの優先順

位に従つて適当なプロセスのスケデュールを行う。

上記で示した様に、各々のR I Cは外部割込み管理回路76を有し、この割込み管理回路が外部ソースから受け取った割込みの受け取り、記憶及び内部プロセッサへの通知を管理していて、内部プロセッサによつて発生された外部割当て先に対する割込みの送信も管理している。

多数のR I Cチップを含むことのできるシステムの為の上記のような割込み管理機構を一般化する為に、我々は「クラスター(cluster)」の概念を導入している。クラスターとは、相互に割込みの送信が可能な一組の例えば4つのチップから成る組のことである。第42図は、4つのチップを持つクラスターの例を示している。故に、割込みの階級的組織(hierarchical organization)においては、クラスターはチップより1つ上位のレベルである。本実施例の割込みシステムでは、クラスター内部のチップの役目は、チップ内におけるプロセッサの役目と類似する。ここで我々はバスを結合することでこのクラスター内に発生す

るチップ間割込み、即ちクラスター内部割込みを容易に操作することができる。このようなバスは「クラスター割込みバス」と呼ばれ、第42図に示されている。このバスはまたクラスター内部で発生し、クラスター外部に割当て先を持つクラスター即ちクラスター間割込みを運搬している。同様にバスはクラスター外部で発生し、クラスター内のチップの内の1つに於るあるプロセッサに割当てるI / O及びクラスター間割込みの運搬に使用されている。この階級的機構をもつと効率的に利用する為には、割込み管理回路218が加えられる。この割込み管理は外部割込み管理回路76がR I Cチップに対し行つていたと同じ役めをクラスターに対し行つている。故に各々のチップ216の外部割込み管理回路76は、クラスター割込みバス214及びクラスター割込み管理回路218とインターフェースしていくなくてはならない。

クラスター割込み管理回路218の第1の機能は、クラスター割込みバス214とクラスター間及びI / Oの割込みの間のインターフェースとし

て働くことである。故にクラスター内で発生したクラスター間割込みは、クラスター割込みバス 214 及びクラスター割込み管理回路 218 を介し外部クラスターに送られる。同様に、クラスター外部で発生したがクラスター内にあるチップを割合で先にするクラスター間及び 1/0 の割込みは、クラスター割込み管理回路 218 及びクラスター割込みバス 214 を介し割当てチップに送られる。クラスター割込み管理回路 218 及びクラスター内にある（例えば）4つのチップはクラスター割込みバス 214 を共用している。クラスター割込みバス 214 に関する仲裁方針は、ラウンドロビンに限られない。RIC 割込みインターフェース 76 によつて外部的な制御方法によつて仲裁を行うことが可能である。故に違う仲裁機構を必要とするクラスターは、それぞれの持つ各々のクラスター割込み管理回路 218 内にその機構を設けている。クラスター割込み管理回路 218 は優先順位又は位置に基づくより複雑な仲裁方法を使用することもできる。優先順位に基づく仲裁方針を

とつた場合、クラスター割込みバスを共用する全ての競争者（即ち、チップ 216 及びクラスター割込み管理回路 218 は、チップ外部に存在するバス仲裁論理に（他のチップに送る為の）割込みの優先順位の判断をゆだねている。そこで仲裁論理が最も高い優先順位を持つ競争中の割込みソースを決定しバスの制御をまかせる。位置に基づく仲裁方針が使用される場合、バスの使用権につき紛争が起きた場合、クラスター内部の競争者の位置が誰にバスの支配を与えるかを決定する。例えば第 42 図では、位置に基づく方針を使って決定する場合、争いが起つたならばクラスター割込み管理 218 が常に第 1 の優先順位を持つとすることができ、それぞれチップ 0、1、2、3 が続く。設計者は、考慮中の応用に適合するようにもつと複雑な仲裁方針を自由に選択することができる。しかし、優先順位に基づくより複雑な方針にはチップ外部にかなりの論理を必要とするが、ラウンドロビン又は位置に基づくより簡単な方針はチップ外部に非常にわずかな論理を用意する

だけで使用できる。

クラスター割込み管理回路 218 の第 2 の機能は、クラスター外部に出ていくクラスター間割込みの為の、またクラスター内に入つてくるクラスター間及び 1/0 割込みの為のバッファとして働くことである。このバッファする機能は、本質的にクラスター内部の割込み連送とクラスター外部の割込み連送を隔離している。クラスター割込み管理回路 218 はクラスター内部外部両側の割込み連送を同時に操作するインターフェースとして設計されている。このようなクラスター管理回路は RIC 又は RIC 内の 1 つ又は 2 つのプロセッサに設げることができる。

この点で生まれる明らかな疑問点としては、2 つ以上のクラスターを持つシステムでいかにして管理を行うかということである。これらのクラスターは、自分のクラスター割込みバス及びクラスター割込み管理回路を介しクラスター間割込みを送つている。さらに階級的組織による管理機構を発展させて、一組の（例えば 4 つの）クラスター

を「マクロクラスター」と呼ぶことにする。マクロクラスター 222 内のクラスター 220 は、「マクロクラスター割込み管理回路」 226 に接続する「マクロクラスター割込みバス」 224 を共有している。マクロクラスター割込みバス 224 及びマクロクラスター割込み管理回路 226 はマクロクラスター 222 内に於て、クラスター割込みバス 214 及びクラスター割込み管理回路 218 がクラスター内部で行つていたのと同じ役目を果たしている。我々は、この考え方をさらに発展させることができると考える。故に（例えば）4 つのマクロクラスター 222 で次に高いレベルになるような実在を作りだすと考えることができさらにそれ以上発展させることも可能である。最後に、好きな数だけレベルを設けた後で割込みを転送するバスを共有する（例えば）4 つのサブシステム 234 まで拡張し、これらから成るシステムの段階まで遷することができる。このバスはシステム割込みバス 232 と呼ぶ。

第 43 図は、サブシステム 0 及び 1 である 2 つ

のサブシステム 234 から成るシステムを示している。サブシステム 1 は、マクロクラスター 0 及び 1 を含んでいてサブシステム 0 は、ただ 1 つのマクロクラスター 即ちマクロクラスター 0 を含んでいる。サブシステム 1 のマクロクラスター 0 は 4 つのクラスターから成り、サブシステム 1 のマクロクラスター 1 は 2 つのクラスターから成りサブシステム 0 のマクロクラスターは 2 つのクラスターから成る。各々のクラスターは 4 つのチップを有している。この例ではサブシステム 1 は 1 つだけのマクロクラスターを有している。故にこのマクロクラスターの割込み管理機能はサブシステム 0 の割込み管理に委託することができる。これによつてサブシステム 0 ではマクロクラスター 割込み管理回路及びマクロクラスター 割込みバスを除くことができる。ここでは、割込みの階級的構造の考え方を示している。

第 44 図では、割込みの階級的構造の考え方を示す樹系図を用いて第 43 図のシステムが示されている。R I C チップ 216 内のプロセッサ PRO

- P R 3 は樹系図の最下位階級に存在し、木にたとえるなら「葉」の部分にあたる。次に高い段階には R I C チップ 216 を示す節がある。その次の 2 つの段階にある節はクラスター 220、その上はマクロクラスター 222 を示す。最後に樹系図の根元では完全なシステム全体を示している。

樹系図にはレベルに番号をつけることができる。プロセッサはレベル 0 とする、引き続きより高いレベルに存在するチップ 216、クラスター 220 マクロクラスター 222 は、それぞれレベル 1、2、3 …… n で示すことができる。同様にして割込みの階級的組織におけるレベルにも番号をつけることができる。割込みバスに関しては、チップ 割込みバス 88 はレベル 0 と番号のついた最下位レベルに存在する。クラスター 214、マクロクラスター 224、…… サブシステム 228 及びシステム割込みバスは次々と高くなる各レベルに存在する。これらはそれぞれ 1、2 …… n と番号がつけられる。プロセッサーの割込み管理回路 12 は最下位レベル即ちレベル 0 に存在する。チ

ップ 76、クラスター 218、マクロクラスター 226 …… サブシステム 230 の割込み管理回路は次々とより高くなる各々のレベルに存在する。これらに 1、2 …… n と番号がついている。プロセッサーは、その完全な「アドレス」を与えることによつて即ちサブシステム ……、マクロクラスター、クラスター、チップ及びプロセッサを規定することによつてプロセッサーを完全に規定することができる。故に各々のアドレスは、サブシステム …… マクロクラスター、クラスター、チップ及びプロセッサを区別する為の構成部を有している。我々は、このアドレス構成部に同様に階級的組織のレベルを与えることができる。プロセッサ PRO - P R 3 を規定するアドレス構成部は、最下位階級即ちレベル 0 とする。チップ、クラスター、マクロクラスター、…… サブシステムを特定するアドレス構成部が次々と高くなるレベルにそれぞれ属する。これらはレベル 1、2 …… n と名づけられている。

チップ内のプロセッサ間割込みは、最も頻繁に

起る割込みであると予想されるのでこれらの割込みの通信及び処理は一般的にできるだけ迅速に完了しなくてはならない。上記に示した通り、1 つの割込みについてのソース、割当て、優先順位及び関連ランタイムに関する情報は、一度ソースプロセッサがチップ 割込みバス 88 の支配を握るとちょうど 1 パスサイクル内で通信される。クラスター内でのチップ間割込みは 2 番目に一般的な割込みであると予想される。本発明の割込み組織では、クラスター 割込みバス 214 を使ってソースプロセッサからのソースチップ 216 及びプロセッサ P R 0 - P R 3 、割合でチップ及びプロセッサ優先性及びランタイムを確定する情報をクラスター 割込み管理回路 218 に 8 パスサイクルで通信することが可能となつてゐる。マクロクラスター内のクラスター間割込みはその次に最も一般的な割込みであると予想される。本発明の割込み組織では、ソースプロセッサからの割込みに関するソースクラスター、チップ、プロセッサ、および割合でクラスター チップ、プロセッサ および

優先性及びランタイムを確定する情報は、マクロクラスター割込みバスを用いて 1 パスサイクルでマクロクラスター割込み管理回路 226 に通信可能となつてゐる。次々と高くなつてゆく各段階における割込み期間での同様の情報の通信には、レベルの高くなるごとに 2 パスサイクルのみ追加した期間が必要となる。

第 44 図は、3 つのサンプル割込み 1、2、及び 3 の期間中の情報の流れる方向も示している。この情報は、割込みのソースと割当て先、優先順位及びランタイム情報を規定している。我々はこの情報を「割込み情報」と呼ぶ。割込み 1 は、サブシステム 1 の中のマクロクラスター 1 内のクラスター 3 のチップ 2 に属する PR 3 で発生し、同一チップ内の PR 0 に割当てられている。割込み 2 は、サブシステム 1 の中のマクロクラスター 0 内のクラスター 1 のチップ 3 に属する PR 3 で発生し、ソースプロセッサがあるのと同じマクロクラスター内のクラスター 0 のチップ 0 上の PR 0、PR 1、PR 2 及び PR 3 に割当てられている。

割込み 3 は、サブシステム 0 のマクロクラスター内のクラスター 0 に属するチップ 1、2、及び 3 上の PR 0 で発生する。割込み情報は一番下の「葉」から開始し、必要な限り上まで移動してゆく。即ちレベルを上に上つてゆき、次に系図を下まで下つて割あて先プロセッサを示す「葉」の部分まで達する。割込み情報が樹系図内を移動する時間内における割込みの移動を我々は、2 つのフェイズに区別している。これらのフェイズは、「上昇」フェイズ及び「非上昇」フェイズと呼ばれる。上昇フェイズの期間中、割込み情報はきちんと樹系図を上つてゆく、即ち、情報がレベル 1 の割込み管理回路からレベル 1 の割込みバスを介しレベル (1+1) の他の割込み管理回路に移動する。非上昇フェイズでは、割込み情報は、系図の同じレベルを移動する、即ちレベル 1 の割込み管理回路からレベル 1 の割込みバスを介しレベル 1 の他の割込み管理回路に移動するか、あるいはまた系図の下に向つておりてゆく即ちレベル 1 の割込み管理回路からレベル (1-1) の割込みバ

スを介しレベル (1-1) の他の割込み管理回路に移動するかのいずれかである。例えば、第 44 図の割込み 3 は割込み情報がサブシステム 1 内を移動している間は上昇フェイズである。割込み情報がサブシステム 1 の割込み管理回路からシステム割込みバスでサブシステム 0 の割込み管理回路に移動する時、非上昇フェイズが始まる。情報がサブシステム 0 内を移動する間、情報が割当て先プロセッサに到達するまで非上昇フェイズが継続する。

上記の割込み 3 のように、ソース及び割当て先プロセッサが異なるサブシステム内に存在する場合、割込み情報は最長距離を移動し、最長の時間を要する。一方、割込み 1 のようにソース及び割当てプロセッサが同一チップ上に存在する場合、距離及び時間は最短になる。故に、一番あまり発生しない割込みが通信又はプロセスに存在する中で最長の時間を要する一方最も頻繁に発生する割込みは最短時間で通信及びプロセスが行われる。この望ましい利点が割込みの階級的組織から直接的に

生じる。

一般的なプロトコールはここでは、1番目のレベル ($1 \leq l \leq n$; $l=0$ である場合は RIC 外部割込み管理回路を意味する) の割込みバス及び割込み管理回路であるとの見地で説明される。第 45 図で示すように、段階 l の割込みバスは、レベル l の例えは 4 つまでの割込み管理回路とレベル ($l+1$) の 1 つ割込み管理回路によつて共有されることができる。一方、レベル l の割込み管理回路がレベル ($l-1$) の割込みバスとインターフェースし、レベル ($l+1$) の割込み管理回路がレベル ($l+1$) の割込みバスとインターフェースしている。我々は、ここでレベル l の割込み管理回路をとりあげて、割込みの上昇及び非上昇フェイズの区別を再考してみる。

割込みの上昇フェイズの間、割込みはレベル l の割込み管理回路から送られる。割込みは、レベル l の割込みバスを介し割込みの階級的組織の樹系図を上に上つてゆきレベル ($l+1$) の割込み管理回路に達する。上昇フェイズ期間中の割込みの移動は、第 45 図に示されている。

當て先として指定する。レベル ($l+1$) の割込み管理回路は、自分がこの割込みの割当て先であるかを判断する。各々の割込みの長さは、ソース及び割あてアドレスの長さによつて決まる。レベル ($l+1$) の割込み管理回路が最も長い場合の割込みも記憶するのに充分なバッファースペースを有している場合、割込み管理回路は割込み情報の受取り及び記憶を開始する。さもなければ、割込み管理回路は、割込み情報の最初のニブルを受けとつた事を知らせない。第 46 図では、転送同期信号は、割込み管理回路が割込み情報を記憶する為に充分なバッファースペースを有していることを意味する最初のニブルが受けとられたということを示している。

バスサイクル 1 から ($2n+4$) まで：これらのサイクルは、割込みの割当てアドレス、割込みの優先順位、及び割込みのソースアドレスを指定する情報を転送する為に使用される。割当てアドレスは、以下の順で送られる。；サブシステム、…… マクロクラスター、クラスター、チップ及び

割込みの非上昇フェイズの間、割込みは、レベル l の割込み管理回路によつて送り出され、同じレベルに留まる。即ちレベル l の割込みバスを移動し、レベル ($l+1$) の管理回路に移動するかわりにレベル l の他の割込み管理回路にゆくか又は、レベル ($l-1$) の割込みバスを介し割込みの階級的組織の樹系図を下に向つて移動しレベル ($l-1$) の割込み管理回路に達するかのいずれかで移動する。割込み移動の非上昇フェイズの期間中の割込みの動きも第 45 図に示されている。

割込みの上昇フェイズ中に使用するプロトコールが第 46 図に示される。特に、レベル l の割込み管理回路 2 は、割込みをレベル l の割込みバスを介しレベル ($l+1$) の割込み管理回路に送りだしている。この割込みの期間中以下の動作が行われる。まずレベル l の管理回路 2 がレベル l の割込みバスを制御する。

バスサイクル 0 について：レベル l のソース割込み管理が割込み情報線に全てゼロを送つてレベル ($l+1$) の割込み管理回路をこの割込みの割

PR 即ち、関連するアドレス構成要素の最高のものから開始して、減少オーダーで階級組織内を下に向つてプロセスが進行し、PR の認定まで至っている。第 46 図では、サブシステム 0、マクロクラスター 1、クラスター 3、チップ 1 及び 2、プロセッサ PR 2 及び PR 3 が割当て先として特定されている。割込みの優先順位は 1 2 7 であつてランタイム情報は 3 4 である。割込みのソースアドレスはサブシステム 2、マクロクラスター 1、クラスター 2、チップ 3 PR 0 である。ここで関連する最高レベルのアドレスがサブシステムアドレスであると仮定すると、最悪の場合でもソース及び割当て先を認定する情報を転送する為には、2 n サイクルが必要とされる。割込みの優先順位及びその他関連情報を送信する為には、あと 4 サイクルが必要とされる。例えば、最高レベルの関連アドレスがマクロクラスターまでだけである場合、マクロクラスター、クラスター、チップ及びプロセッサだけのシーケンスがバスサイクル 1 から 5 までで特定される必要がある。バスサイクル

6及び7は、割込みの優先順位を転送する為に使用され、バスサイクル8及び9は、割込みについてのランタイム情報を転送する為に使用される。ソースアドレスはバスサイクル10から14で送られる。

上昇プロトコールと非上昇プロトコールの間に2つの違いがある。1つは、上昇プロトコールでは、割込みが次に高いレベルへと送られることである。非上昇プロトコールでは、割込みは次に低いレベルへ送られるか又は、同じレベルの割当て先に送られる。2つのプロトコールの間でもう一つの違いは、ソース及び割当てアドレスが送られる順序に関してである。上昇プロトコールに関しては、最も高いレベルのアドレスが第1に送られる。これに対し非上昇プロトコールでは階級的組織の中で次のレベルがアドレスされて送られている。

以下の例でこれらのプロトコールをより具体的に説明する。サブシステム、マクロクラスター、チップ及びプロセッサPRから成る階級的組織を

持つシステムを考えてみる。あるサブシステムで発生しどれか他のサブシステムに移動するより割当てられた割込みは、テーブル3で示すように階級的組織の中で移動する。テーブルは各々のレベルでの（我々はチップ外の割込みプロトコールについて説明を行つてるのでレベル1から始まっている）割込みデータバス上の割込みの運行を示しており、ソース及び割込み先を認定する情報が転送されるシーケンスを示している。

テーブル3は、以下の点につき示している。割込み非上昇フェイズが開始することとは、割込みが階級的組織の中で登る必要のある一番上のレベルまで達したことを意味する。テーブルに示される場合では、その最高位レベルはシステムのレベル即ちレベル5である。割込みの非上昇フェイズの間アドレスの第1の構成部で示すレベルは、ソース及び割当て先を示す情報が循環する割込みバスのレベルとマッチする。例えば、サブシステム割込みバスがレベル3にあるとマクロクラスターを確定するアドレス構成部もレベル3である。

テーブル3

外部からチップへの割込み通信

使用中の割込みバス ソース及び割当て先を確定する
情報を転送するシーケンス

上昇フェイズ

クラスターバス サブシステム、マクロクラスター、クラスター、チップ、プロセッサ

マクロクラスターバス サブシステム、マクロクラスター、クラスター、チップ、プロセッサ

サブシステムバス サブシステム、マクロクラスター、クラスター、チップ、プロセッサ

システムバス サブシステム、マクロクラスター、クラスター、チップ、プロセッサ

非上昇フェイズ

サブシステムバス マクロクラスター、クラスター、チップ、PR、サブシステム※

マクロクラスターバス クラスター、チップ、PR、サブシステム※、マクロクラスター※

クラスターバス チップ、PR、サブシステム※、マクロクラスター※、クラスター※

※ このアドレスは割込みの割当てを決めるのには必要ない。故に割当てバス上を送信されない。

割込みの移動が非上昇フェイズの期間中、割当て先を認定する情報のシーケンスは、割当てアドレスにある簡単な「アドレス構成部を左にシフトせよ」というオペレーションの実行によって容易に導き出される。このことは、割込み管理回路が手続された割込みの割当てを認定する情報のシーケンスを構成する為の簡単なアルゴリズムを構成

する為に利用される。割込み管理回路がバスを制御するようになると、第1のサイクルで割合で先の割込み管理回路が決定されることを思はだしてほしい。テーブル3で示す通り、割込みの非上昇フェイズ期間は、割当て先割込み管理回路は第1のアドレス構成部によつて容易に決定することができる。割込みの上昇フェイズ期間では、割当て先は、割当てバス上に全てゼロを送信することによつて決定する。

割込み管理回路によつて実行されるオーバーオール機能は以下の通りである。我々は、レベル1の割込み管理回路を最初念頭において説明を行う。

一方でレベル1の割込み管理回路がレベル1の割込みバスとインターフェースし、また一方ではレベル(1-1)の割込みバスともインターフェースしている事を思はだしてほしい。これらのバスは様々を方針によつて仲裁が行われる。これらの方針の典型的な例はラウンドロビン、優先性の順によるもの、位置順によるもの等である。チップ割込みバス88はラウンドロビンの順序で仲裁

が行われる。いかなる割込み管理回路も内外両側からの割込みを同時にうまく処理することが可能でなければならぬ。割込み管理回路と割込みバスの間のインターフェースを示すプロツク図が第45図に示される。

各々の割込み管理回路は、送信されるのを待つ割込みの待ち行列を保持している。各々の割込みに関して割当てアドレスの優先順位、ランタイム情報、ソースアドレス及びフェイズ(上昇か又は非上昇か)が待ち行列になつて保持されている。割込みの上昇フェイズ期間中、関連する最高レベルから開始する全てのアドレス構成部は、ソース及び割当て先を決定する為に記憶されていなくてはならない。割込みの非上昇フェイズの期間では、割込み管理回路のレベルより低い段階であるこれらの割当てアドレス構成部だけが割合で先の決定の為に記憶される必要がある。例えばクラスター割込み管理回路218は割当ての為にチップとプロセッサを特定する情報を記憶する必要がある。先に入つたものを先に出す方式による待行列

の維持の方が簡単であるが、好ましい割込み管理回路は、優先順位に基づく方針で待ち行列を維持している。優先順位に基づき待ち行列の管理を行う場合、行列の中での到着時間の順にかかわらず、行列の最前列にある割込みがその列の中で最も高い優先性を持つ。

情報状況信号は、いつアドレス情報が送信されるかを示している。上記で示した通り、割当てアドレスが最初に送られ次に割込みデータ及び割込みのソースアドレスが送られる。割込み管理回路は受取つた割当てアドレスの数を計数している。この数及び割込み階級的組織に於るそのアドレスのレベルに関しわかる事に基づいて、割込み管理回路はソース/割当てを決定する情報を先着順のオーダで送るか(上昇フェイズ)又は「アドレス構成部を左に循環せよ」というオペレーションを実行するか(非上昇フェイズ)のいずれにするかを決定している。

階級的組織情報網は、RIC割込みポート機能に対する応用の一例として示されている。この割

込みポートは、割込みトポロジー及び割込みプロトコルによつてまつたく一般的なものである。階級的組織割込み情報網は、情報網のある形態にすぎない。この情報網の中では、トポロジーに関しては変化させることが可能でこのことがRICの外部割込み管理回路に影響し、2種類の変化を生む。第1の変化はレベルの数が変わると、情報網の中のアドレスの長さが変化することである。アドレスの長さが変化すると割込み管理回路内のバッファースペースも変化する。バッファースペースの変化は、RIC内に含まれていない割込み管理回路のハードウェアの設計を適当に変えることによつて操作することができる。トポロジーの変化によるもう1つの変化は、有効アドレスの組に関して起こる。この変化も、RICの外部割込み管理回路を使ってプログラムすることによつて又は他の割込み管理のハードウェアの仕様を変えることによつて操作される。

上記説明はRICのみを有する割込み情報網に限定されて示してある。しかしながら、チャンネ

ル、ディスク、プリンター及び通信網インターフェースといったようをあらゆる I/O 装置を含む情報網にも同じ様に応用することができる。この応用性を保持する為に唯一必要とされることは、

I/O 装置が R I C 割込みポートと接続可能なインターフェースを有していることだけである。

以上のように当初の目的を達成し、一般的な構造を持つ I C を再構成可能にして使用者のニーズにあわせたカスタムを I C を安価に提供することができる。このような再構成可能な機能を持つことで本発明は I C により新しい大きな応用の可能性を持たせることができると確信する。

4. 図面の簡単な説明

第 1 図は、本発明の再構成可能 I C の概略的全体図である。

第 2 図は、1 つのプロセッサを全体的に含み各々の種類の外部インターフェースの内の 1 つを含む R I C の部分的な平面図である。

第 3 図は NOR ゲート仕様として実施された DLA の AND 及び OR マトリクス部分を示す部

第 13 図、第 14(a)、14(b)、及び 14(c) 図は、各々のプロセッサ内の中立モードロックステップモード、バイオペーラインモードにおける R I C 内のデータ及びコマンド命令の流れを概略的に示す図である。

第 15 図は、第 15 図はバーレルシフタの構造を示す図である。

第 16 図はデータバスの構造を示す図である。

第 17 図は、データバスのプロトコールを示す図である。

第 18 図は、各々のプロセッサ内のデータバスのプロック図である。

第 19 図は R I C の内部 RAM システムを概略的に示す図である。

第 20 及び 21 図はそれぞれのバス制御ユニットの構造及びオペレーションを示す図である。

第 22 図は、メモリスケアユーリングユニットのオペレーションを示すフローチャートである。

第 23 図～第 25 図は構築するプロセッサの再構成された異なるモードに対応して状況マルチプレクサが操作を行う状況バスの内部接続を示す図である。

第 26 図、第 27 図及び第 28 図は、それぞれ

分図である。

第 4 図は、ゲート仕様と名前のついた実施例である DLA の AND 及び OR マトリクスの部分を示す図である。

第 5 図は制御バスの構成を示す図である。

第 6 図は、中央制御記憶制御回路と 4 つのモデュール制御回路の間の関係を示す図である。

第 7 図は、中央制御記憶回路がアクセスされた場合の中央制御記憶回路及びそれぞれのモデュール制御回路のオペレーションを示すフローチャートである。

第 8 図は、花輪状に連結されたバス使用可能線の接続を示す図である。

第 9 図は各々のプロセッサ内の ALU の主要部分を示す概略図である。

第 10 図及び第 11 図は、それぞれ各々のプロセッサ内の機能ブロック及び桁上げ連結ブロック部分の回路図である。

第 12 図は各々のプロセッサ内のバーレルシフタの構造を示すフローチャートである。

独立モードロックステップモード、バイオペーラインモードにおける R I C 内のデータ及びコマンド命令の流れを概略的に示す図である。

第 29 図は、各々のプロセッサ内のスケデューラ及び割込み管理回路のプロック図である。

第 30 図は、各々のプロセッサ内のスケデューラのオペレーションのフローチャートである。

第 31 図は、割込み管理ワードのフォーマットを示す図である。

第 32 図は、割込みが送られる時の制御記憶アドレス線のフォーマットを示す。

第 33 図は、プロセッサ P R 3 がプロセッサ P R 1 に対し割込みを送る時の割込みのタイミングの例を示す図である。

第 34 図は、R I C のピンの配置図である。

第 35 図は、概略的に内部割込みデータ構造を示す図である。

第 36 図は、割込みが送られている間の外部割込み管理回路のオペレーションを示す図である。

第 37 図～第 41 図は、2 つ以上の R I C チップ

ア上のプロセッサを連結することで可能となる構成の例を示す図である。

第4.2図は、4つのチップからクラスタまでの組織を示す図である。

第4.3^a図は、多数のR I Cチップが結合された階級的組織を持つシステムを示す図である。

第4.4図は、第4.3^a図で示した多重チップ組織に相当する樹系図である。

第4.5図は、第4.3^b図及び第4.4図で示したように階級的組織内の不特定なレベルにおける割込みレベル管理回路及びバスのオペレーションを概略的に示す図である。

第4.6図は、第4.3^b図及び第4.4図と同様の多重チップ階級的組織において割込みが上昇フェイズである時の情報プロトコールを示すタイミング図である。

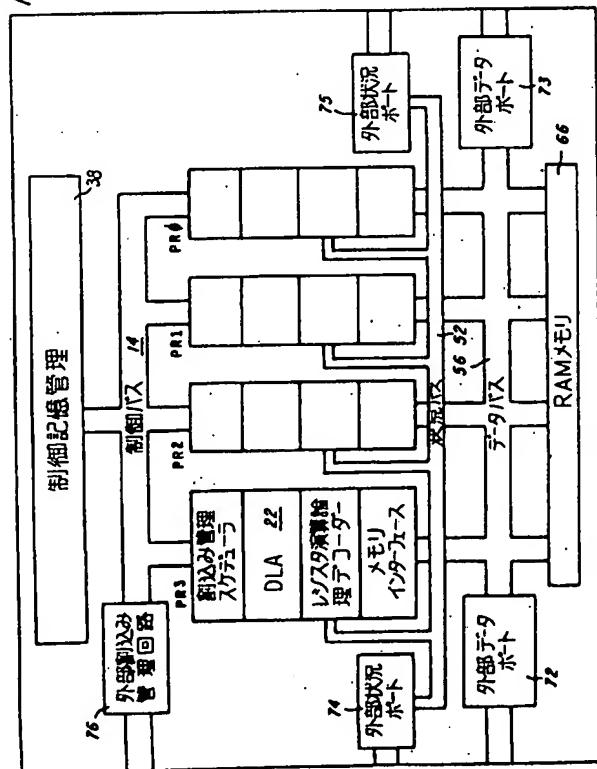
第4.7図は、各々のプロセッサ内に含まれるマイクロシーケンサのブロック図である。

符号の説明

P R O ~ P R 3 … プロセッサ、 1 2 … 割込み管

理回路、 1 4 … 制御バス、 5 2 , 5 4 … 状況バス、 5 6 … データバス、 1 6 … スケデューラ、 2 2 … 制御 D L A 、 2 8 … A L U 、 3 6 … マイクロシーケンサ、 3 8 … 制御記憶回路、 4 5 , 5 0 … 状況マルチプレクサ、 6 0 … R A M メモリモジュール、 6 8 … メモリスケデューラユニット、 7 2 ~ 7 6 … 外部インターフェース。

Fig.1



図面の添書(内容に変更なし)

Fig.2

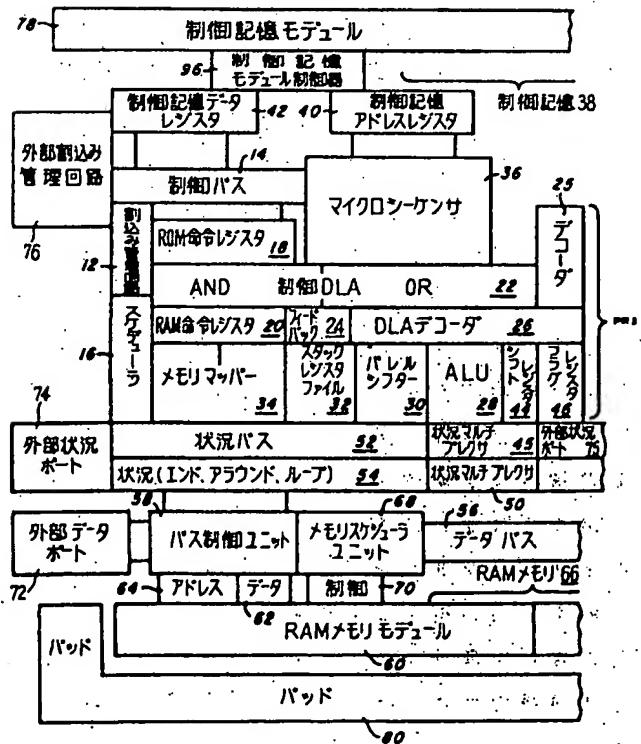


Fig. 3

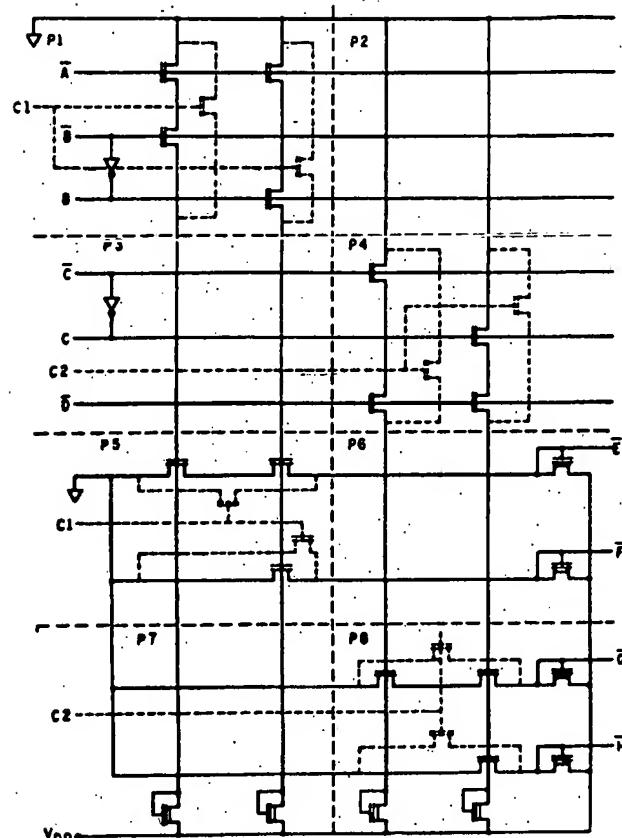
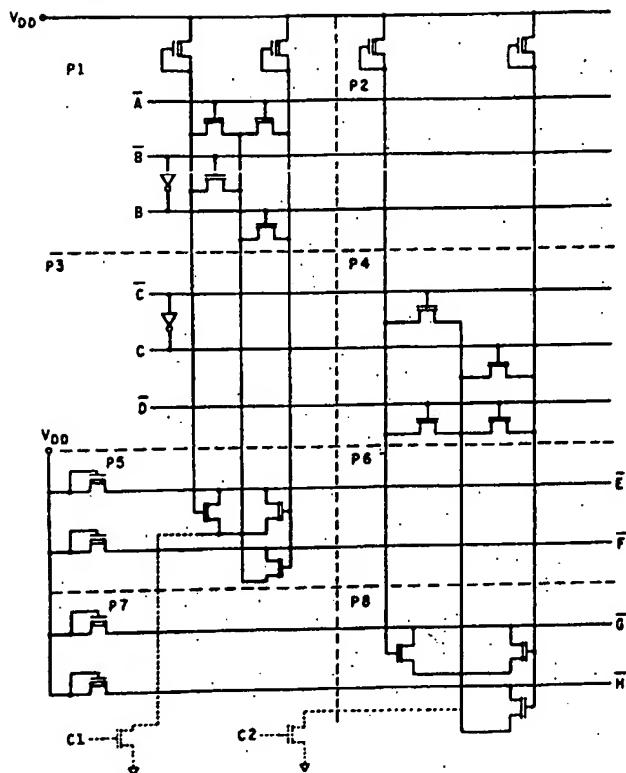


Fig. 4

Fig. 5

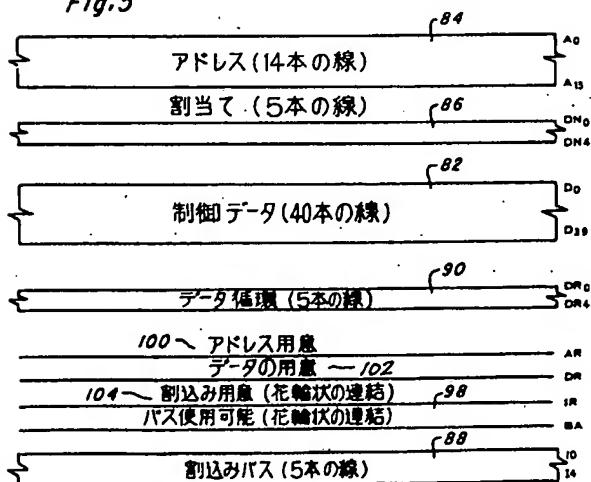
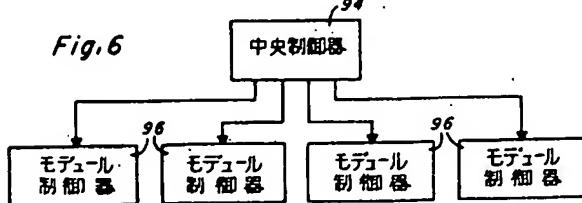


Fig. 6



中央制御器 94

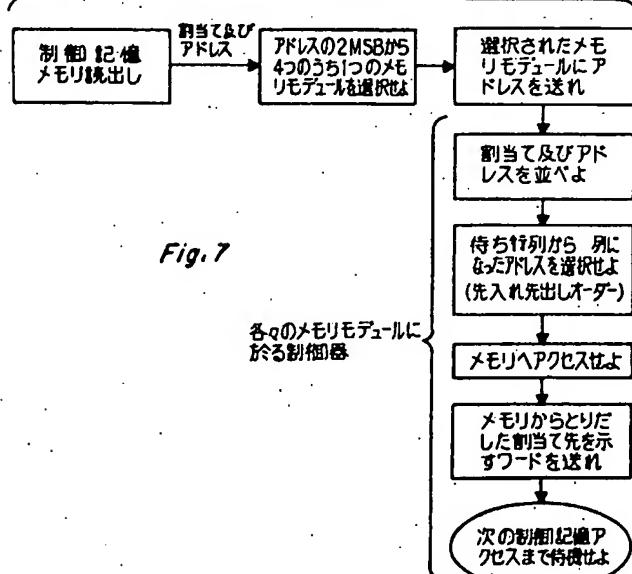


Fig. 7

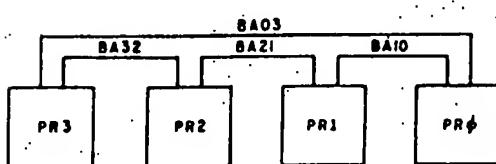


Fig. 8

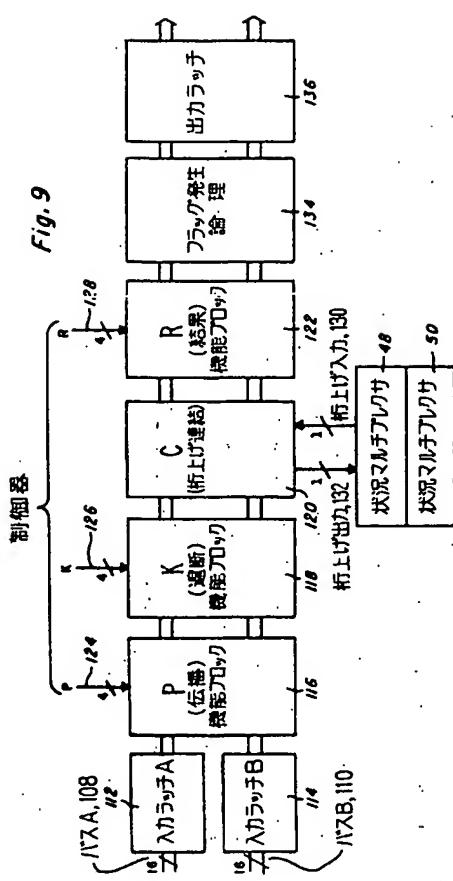


Fig.16 データバス

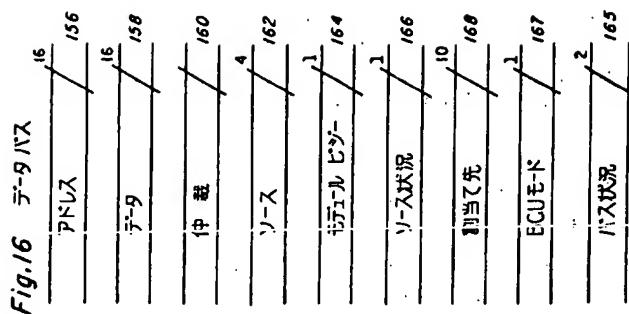
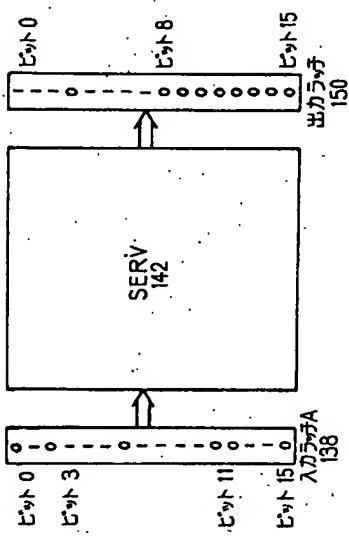


Fig.15



(ソースにバスの使用を許可する仲間に待て)

Fig.17

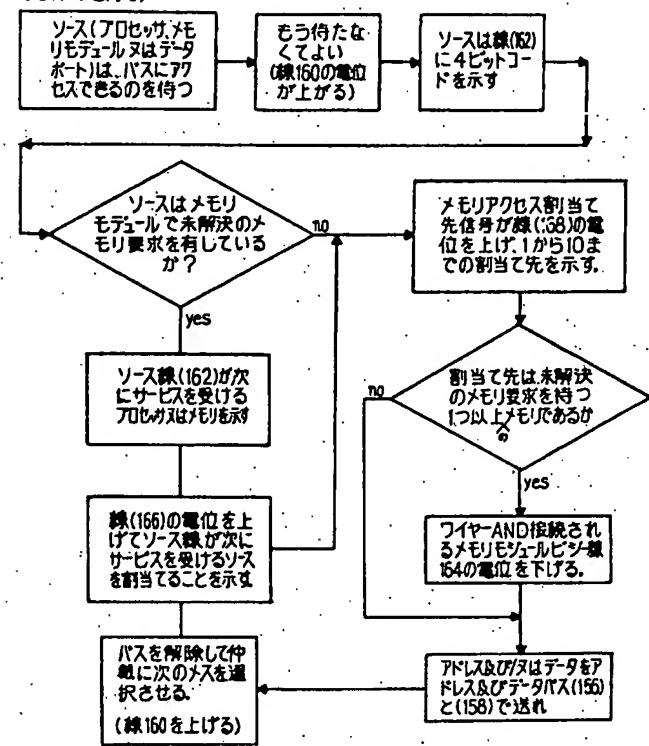


Fig.18

PRSA		108	106	104	2θ	フラグ及び シフトレジス タの組	106
左ポート	内部リセット	32	ハーフシフタ (16ビットの範囲 16のシフタ)	ハーフシフタ (16ビットの範囲 16のシフタ)	ALU	44 46	122
PRSB							110

Fig.19

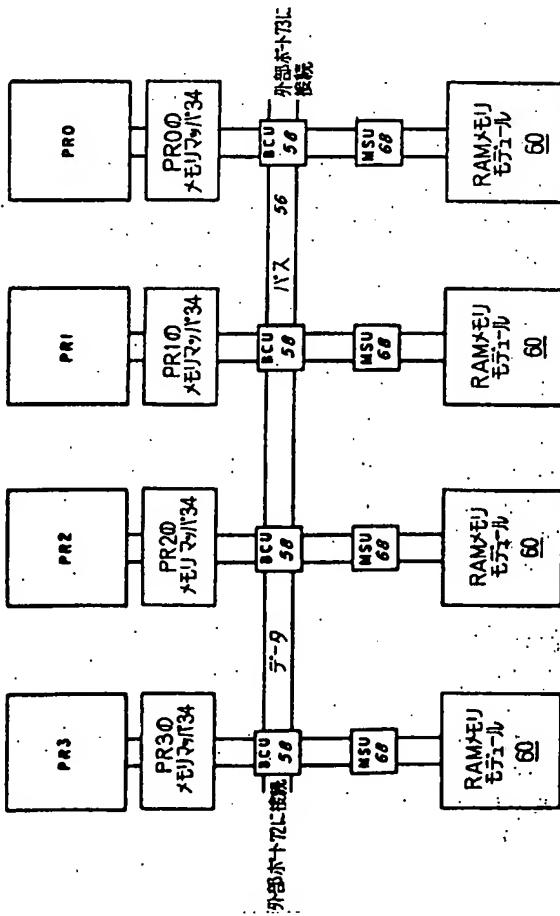


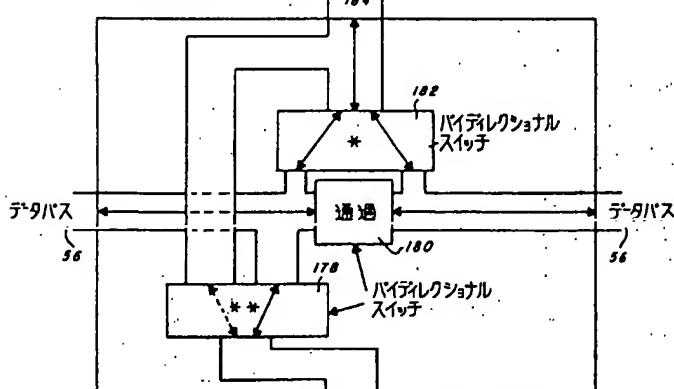
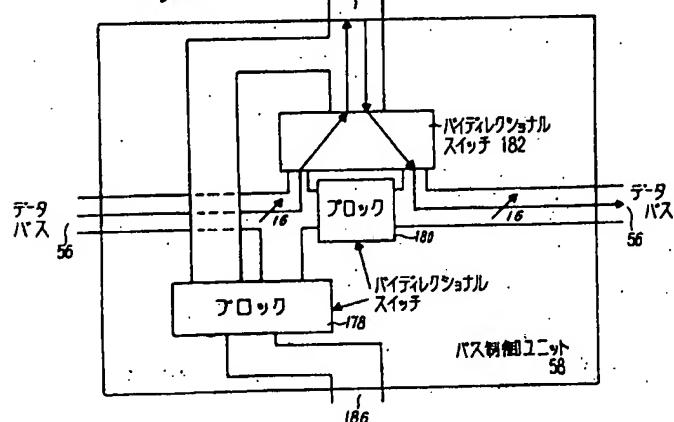
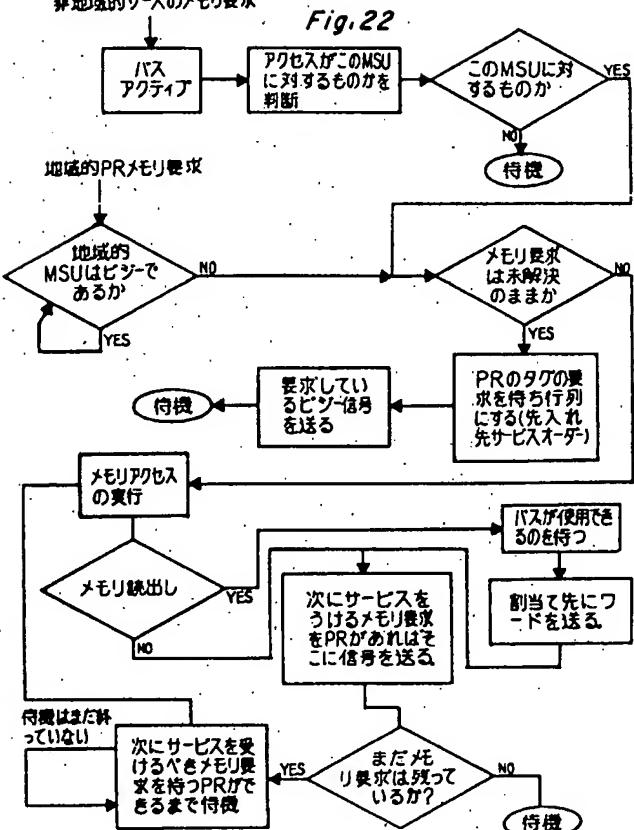
Fig. 20 メモリマッパーへ
又はメモリマッパーから

Fig. 21



非地域的リースのメモリ要求



桁上げ状況 190 ————— PR1

桁上げ入出力 191 —————

オーバーフロー 192 —————

負数 194 —————

ゼロ 196 —————

PR周期 198 —————

ソフト/循環 199 —————

Fig. 23

桁上げ状況 190 ————— PR2

桁上げ入出力 191 —————

オーバーフロー 192 —————

負数 194 —————

ゼロ 196 —————

PR周期 198 —————

ソフト/循環 199 —————

Fig. 24

桁上げ状況 190 ————— PR3

桁上げ入出力 191 —————

オーバーフロー 192 —————

負数 194 —————

ゼロ 196 —————

PR周期 198 —————

ソフト/循環 199 —————

Fig. 25

Fig. 26

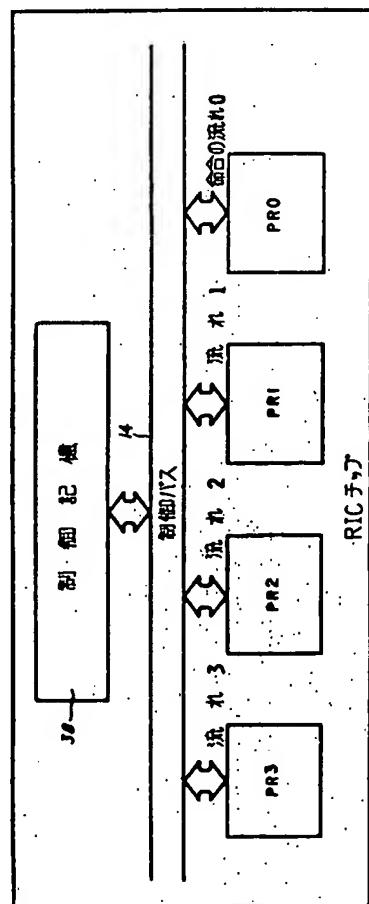


Fig.27

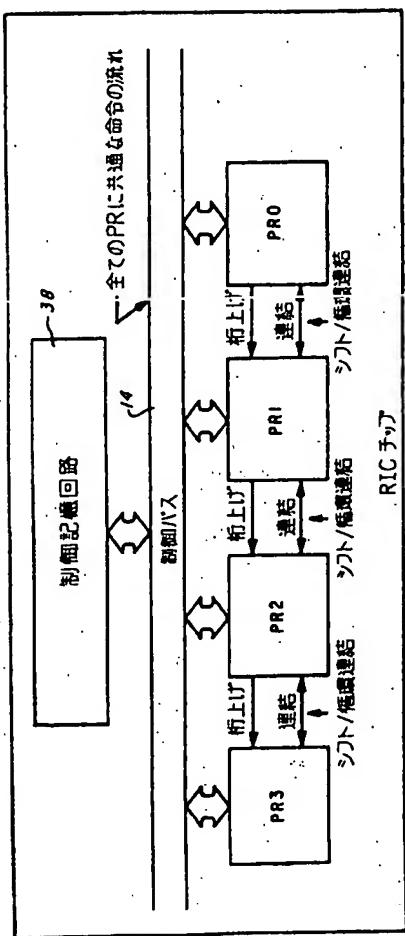


Fig.28

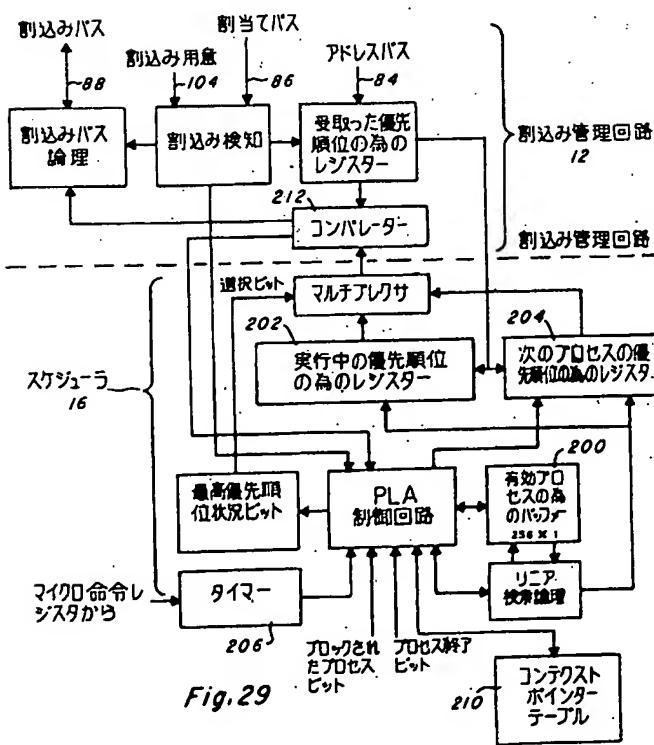
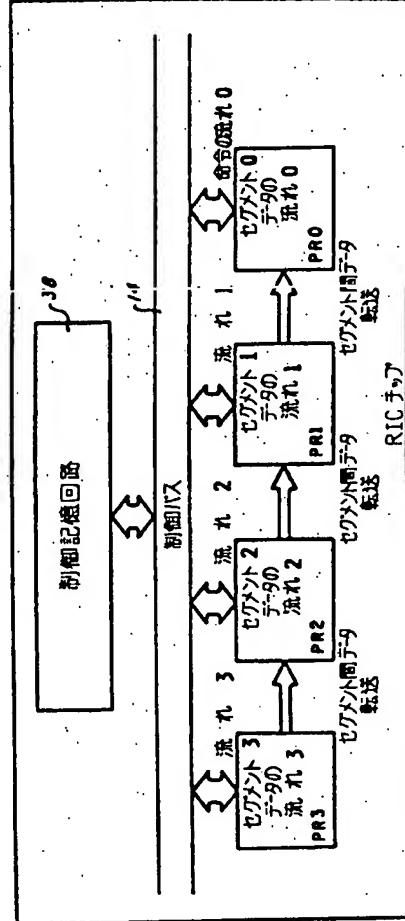
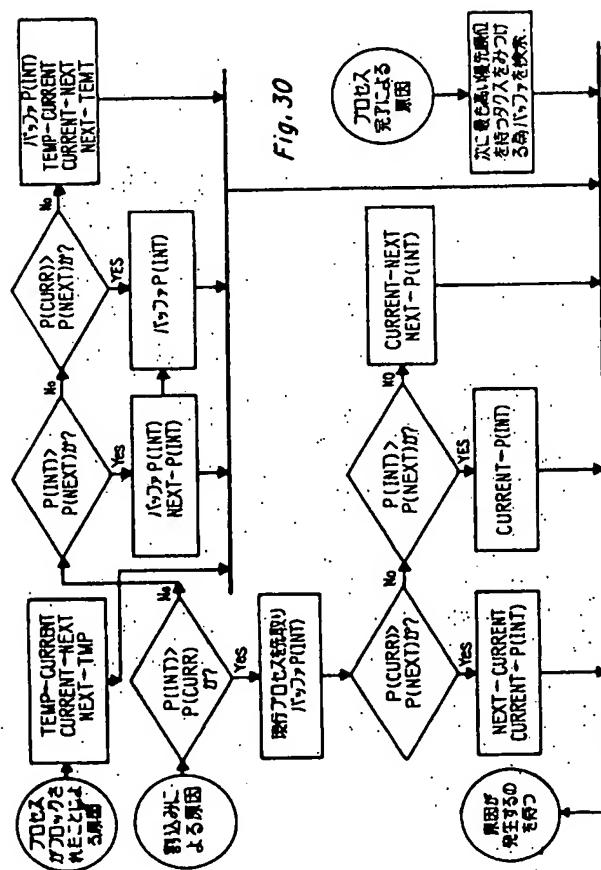


Fig.29



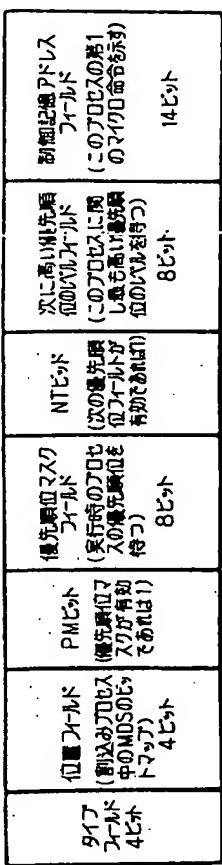


Fig. 31



Fig. 32

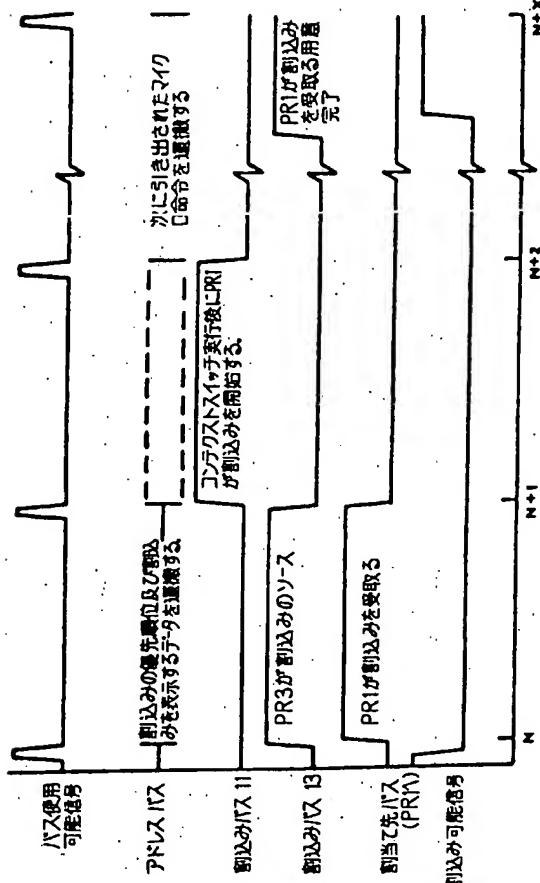


Fig. 33

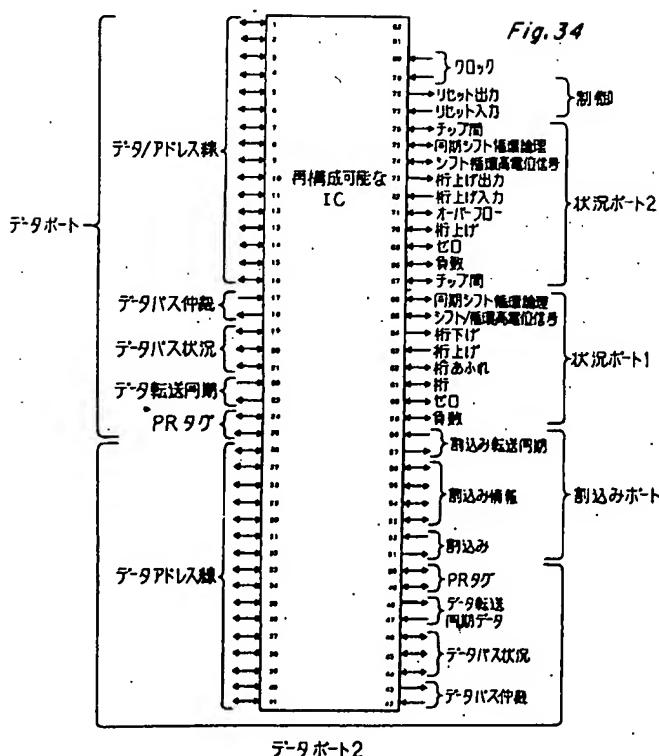
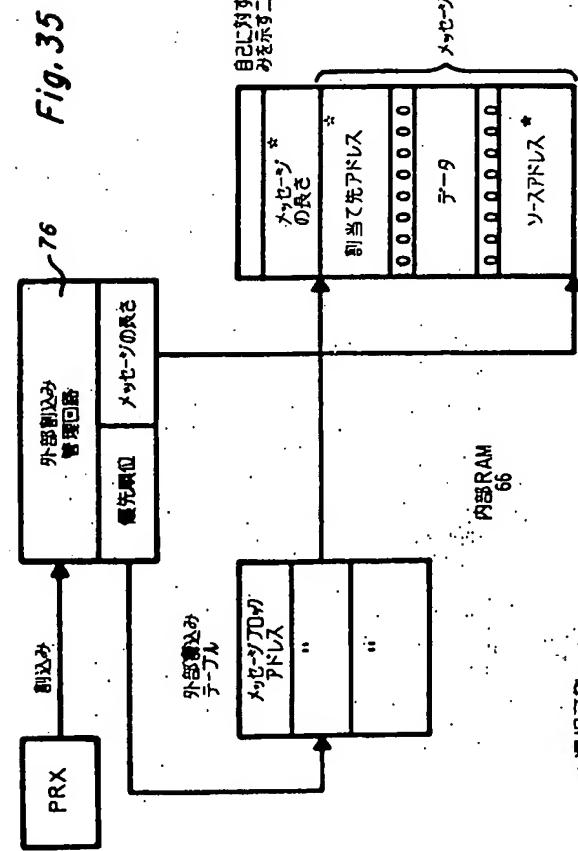


Fig. 34



PRX

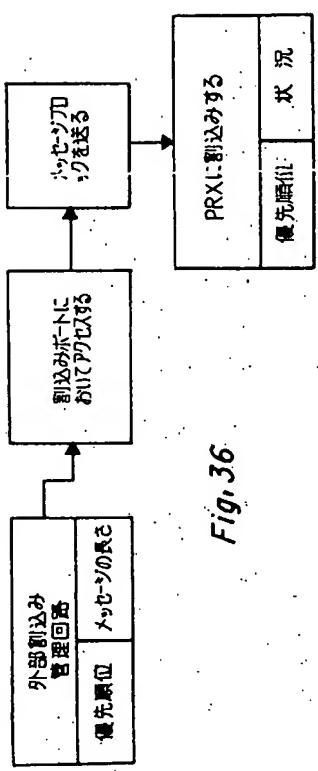


Fig. 36

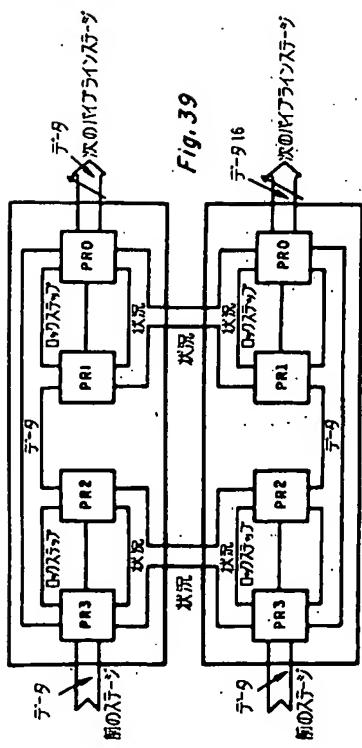


Fig. 39

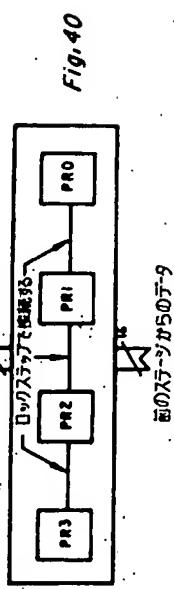


Fig. 40

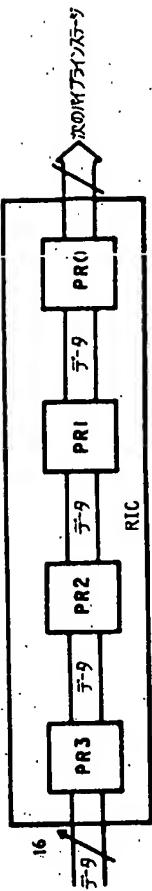


Fig. 41

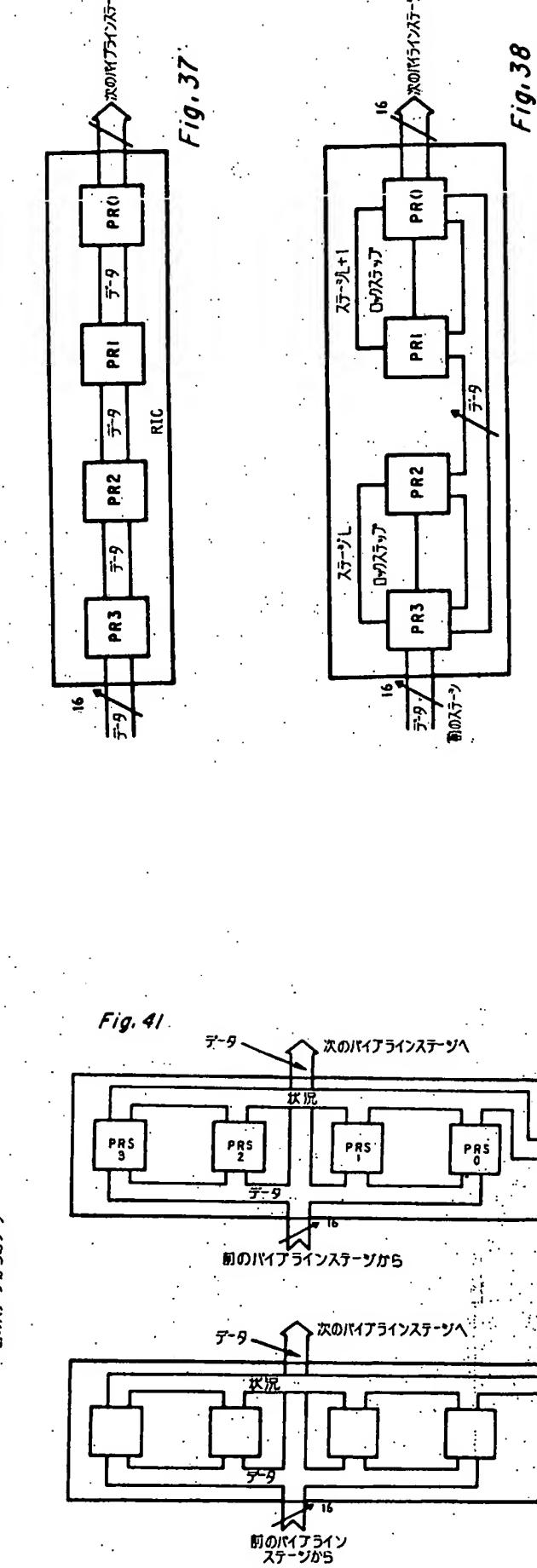
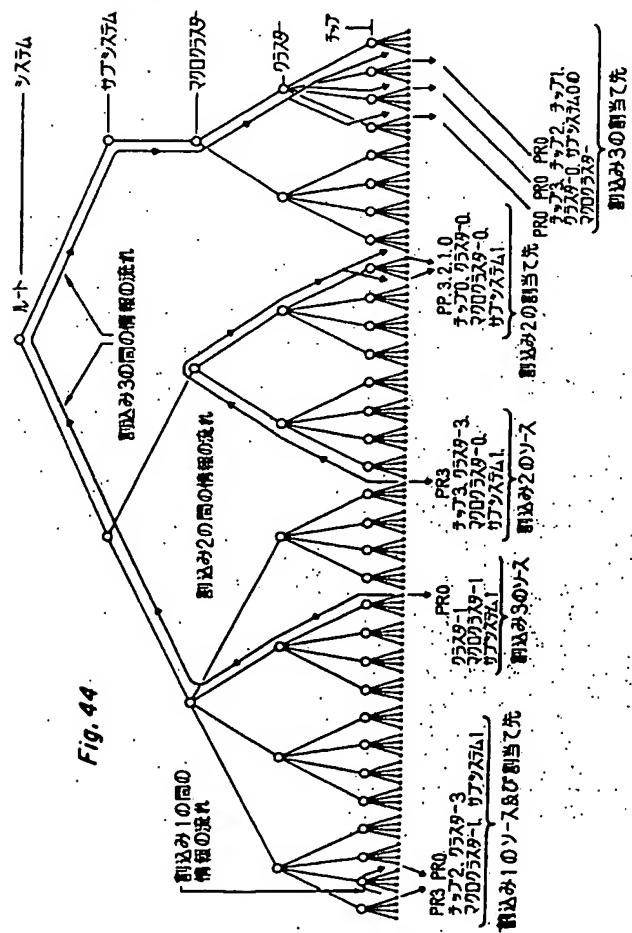
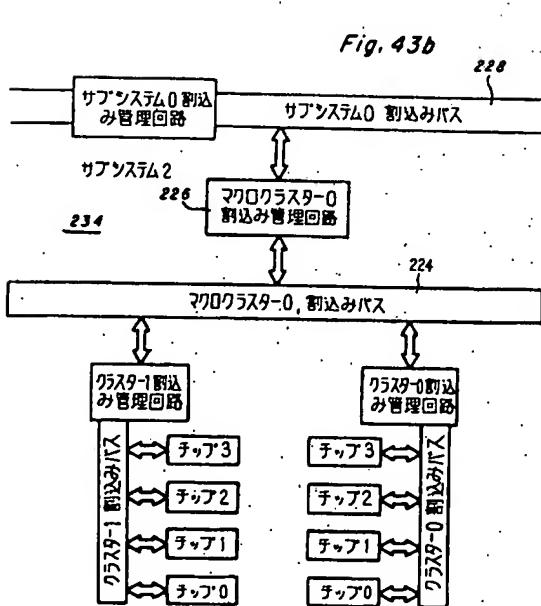
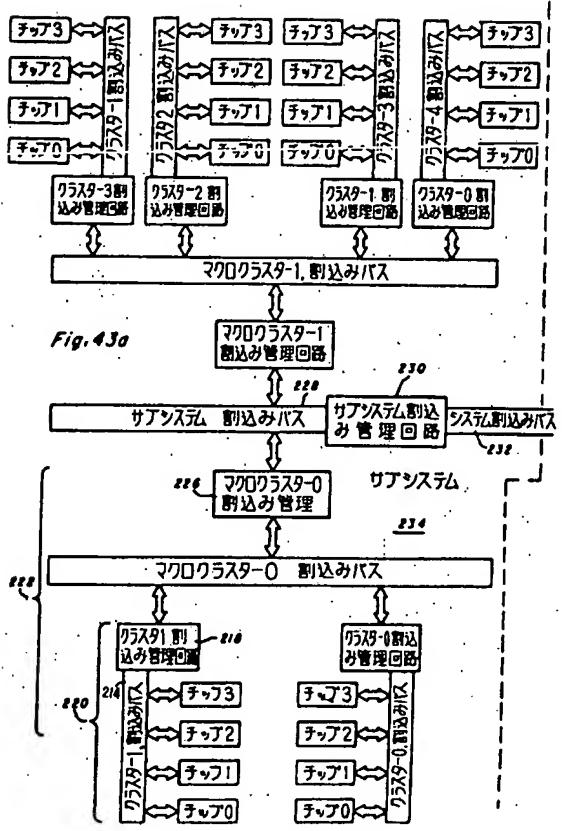
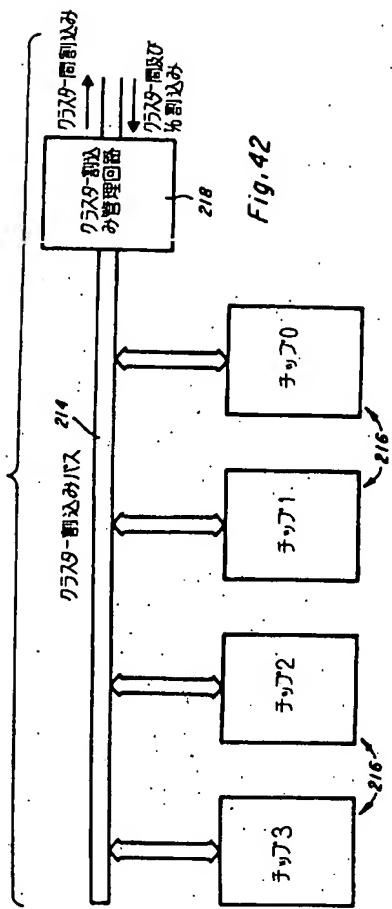


Fig. 38



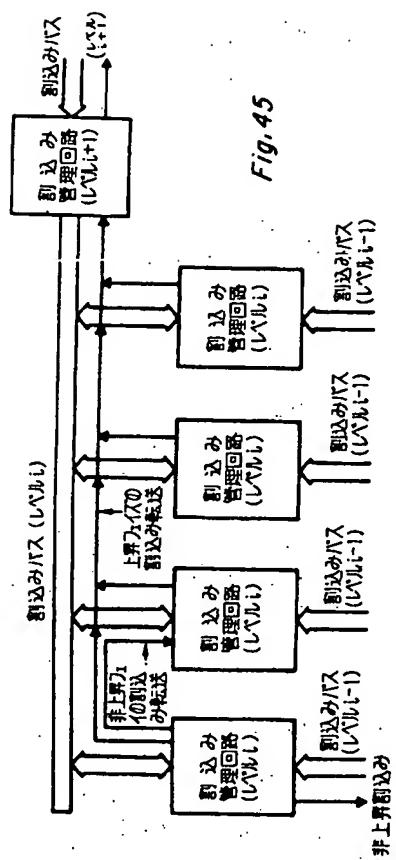


Fig. 45

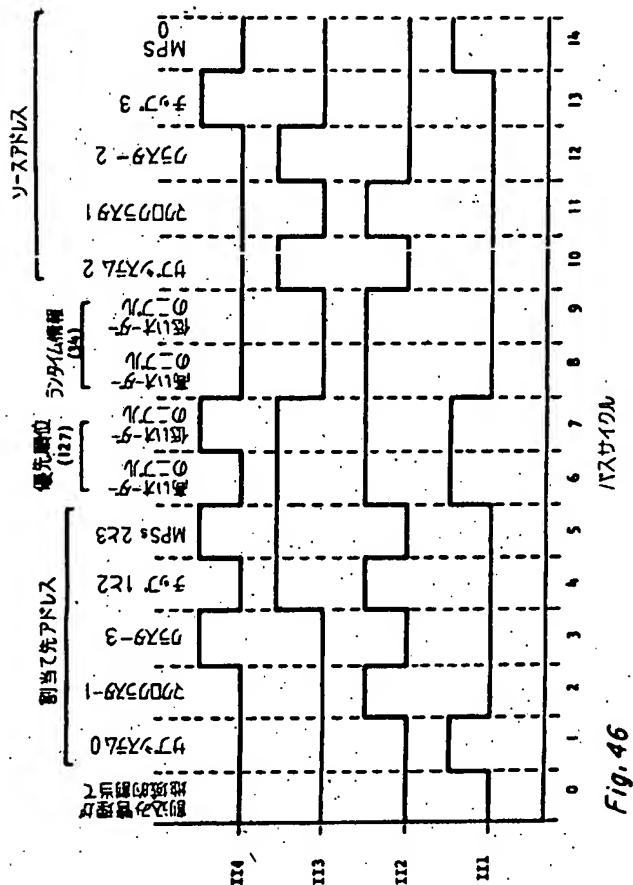


Fig. 46 ハスサイクル

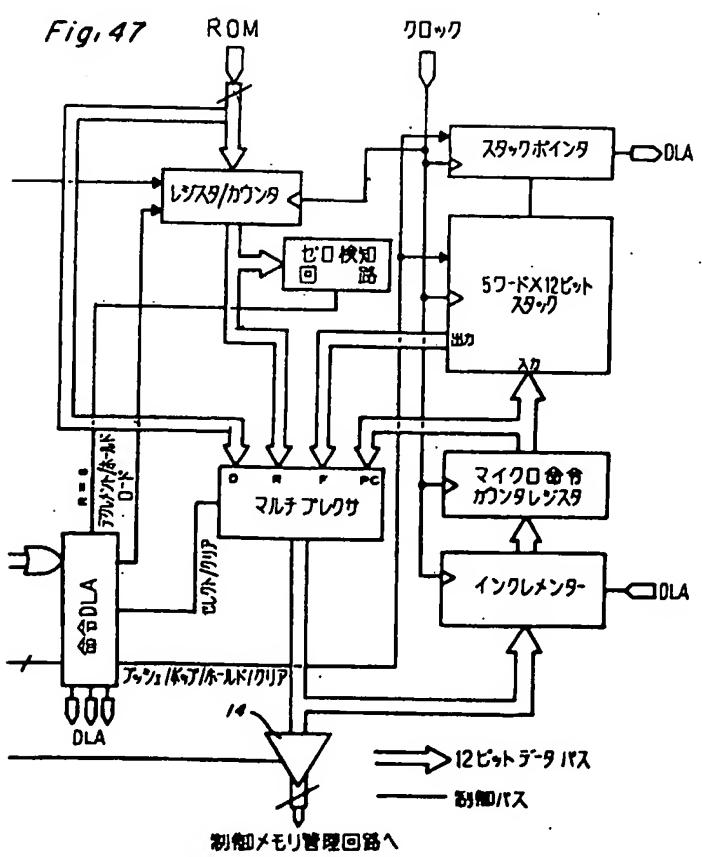


Fig. 47

手続補正書(方式) 57.10.7

昭和 年 月 日

特許庁長官 殿



1. 事件の表示 昭和 57 年 特許願 第 128805 号

2. 発明の名称 再構成可能集積回路

3. 補正をする者

事件との関係 出願人

名 称 テキサス インストルメンツ
インコーポレーテッド

4. 代理人

住 所 東京都千代田区丸の内3丁目3番1号(電話 代表 311-8741番)

氏 名 (5995) 弁理士 中 村

中井
印鑑

5. 補正命令の日付 自 発

特許庁
57.10.8

6. 補正の対象 全図面

7. 補正の内容 別紙の通り

図面の净書(内容に変更なし)。

手続補正書

57.10.7

昭和 年 月 日

特許庁長官 若杉和夫 殿

1. 事件の表示 昭和 57 年 特許願 第 128805 号

2. 発明の名称 再構成可能集積回路

3. 補正をする者

事件との関係 出願人

名 称 テキサス インストルメンツ
インコーポレーテッド

4. 代理人

住 所 東京都千代田区丸の内3丁目3番1号(電話 代表 311-8741番)

氏 名 (5995) 弁理士 中 村

中井
印鑑

5. 補正命令の日付 自 発

6.

7. 補正の対象 明細書の発明の詳細な説明の欄
および図面の簡単な説明の欄

8. 補正の内容

(1) 明細書第113頁第1行に「示す。」とあるを「示す。ここでピット13におけるCSが/のときは全部のコンテナストスイッチを、CSが0のときは部分的なコンテナストスイッチを、またピット12におけるBUが/のときはすぐにプロセスされない場合の割込みをバックアシントを、BUが0のときは割込みをバックアシントしないことをそれぞれ表わしている。」と訂正する。

(2) 同書第185頁第19行に「ある。」とあるを「あり。第23図は独立モード内部接続を、第24図はバイブラインモード内部接続を、第25図はロックステップモード内部接続をそれぞれ示している。」と訂正する。

(3) 同書第186頁第7行に「チャートである。」とあるのを次の通り訂正する。

「チャートであり、この図に用いられる、P(INT.)は割込みの優先順位を、

P(NEXT)は次に高い優先性をもつプロセスの優先順位を、P(CUR)は現在実行

中のプロセスの優先順位を、NEXTは次にスケジュールしたプロセスの優先順位を持つレジスタを、CURRENTは現在実行中のプロセスの優先順位を持つレジスタを、TEMPは一時的なレジスタを示している。」

(4) 明細書中、下記各箇所の誤記を夫々訂正する。

頁	行	誤記	訂正
109	18	タイプ0	タイプ0(0000)
"	20	タイプ1	タイプ1(0001)
110	1 2		2(0010)
184	1	である。	であり、通常の区画を持つダブルマトリクル論理配列を示している。
"	10	フロー	制御記憶メモリ管理のフロー
"	17	機能	ALUの機能
185	10	R I C	再構成可能IC(RIC)
186	1	独立モードロックステップモード	独立モード、ロックステップモード